

520.43305X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): YUUKI, et al  
Serial No.: Not yet assigned  
Filed: November 28, 2003  
Title: CLOCK AND DATA RECOVERY METHOD AND DIGITAL  
CIRCUIT FOR THE SAME  
Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

November 28, 2003


Sir:

Under the provisions of 35 USC §119 and 37 CFR §1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-346767 filed November 29, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus  
Registration No. 22,466

MK/GEM/nac  
Attachment  
(703) 312-6600

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 2 年 1 1 月 2 9 日  
Date of Application:

出 願 番 号                    特 願 2 0 0 2 - 3 4 6 7 6 7  
Application Number:

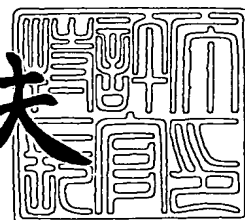
[ST. 10/C] :                    [ J P 2 0 0 2 - 3 4 6 7 6 7 ]

出      願      人                    株 式 会 社 日 立 製 作 所  
Applicant(s):

2 0 0 3 年 1 0 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 0 0 3 3

【書類名】 特許願

【整理番号】 H02012861A

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 7/00

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 結城 文夫

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

【氏名】 山下 寛樹

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所デバイス開発センタ内

【氏名】 曾根原 理仁

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 データ再生方法およびデジタル制御型クロックデタリカバリ回路

【特許請求の範囲】

【請求項 1】

入力データを用いて再生クロックを形成し、その再生クロックのタイミングに基づいて入力データを取込むデータ再生方法であって、  
上記入力データと上記再生クロックのエッジ位置を比較し、その間隔が基準値を下回ったら、再生クロックのエッジを入力データのエッジから遠避けるように制御することを特徴とするデータ再生方法。

【請求項 2】

レファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、その中から上記再生クロックを選択することを特徴とする請求項 1 記載のデータ再生方法。

【請求項 3】

入力データと内部生成したデータ取込みクロックとの位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器と、  
上記UP/DOWN信号をクロック位相出力にフィードバックする頻度を制御するカウンタと、  
上記カウンタの出力OUT UP/OUT DOWN信号からクロックの出力位相を制御するための移相制御信号を形成するクロック相選択回路と、  
上記位相制御信号に応じたクロックを出力して上記データ取り込みクロックとする位相可変遅延回路を備え、

上記データ取り込みクロックのタイミングで上記入力データを取込むことを特徴とするデジタル制御型クロックデタリカバリ回路。

【請求項 4】

上記位相可変遅延回路は、  
上記データ取り込みクロックのエッジが上記入力データのエッジから所定間隔以上を離れるように、データ取り込みクロックの位相を変化させて出力することを

特徴とする請求項 3 記載のデジタル制御型クロックデータリカバリ回路。

【請求項 5】

前記位相可変遅延回路は、  
レファレンスクロックから 1 サイクルを  $N$  分割した  $N$  位相のクロックを生成し、上  
記位相制御信号に応じた位相のデータ取込みクロックを選択して出力する請求項  
3 記載のデジタル制御型クロックデータリカバリ回路。

【請求項 6】

前記位相可変遅延回路は、  
前記クロック相選択回路が決定している位相切替ピッチ  $T_p$  に対して  $T_p$  以下の複数  
サイクルに渡って位相検出した複数の結果をもとに前記可変遅延回路の出力位相  
を選択する請求項 3 記載のデジタル制御型クロックデータリカバリ回路。

【請求項 7】

前記位相可変遅延回路は、  
バッファ、合成回路、 $N:1$ セレクタ、CMOSレベル変換回路を備え、前記バッファ  
、合成回路、 $N:1$ セレクタは低振幅差動回路で構成されていることを特徴とする  
請求項 3 記載のデジタル制御型クロックデータリカバリ回路。

【請求項 8】

前記  $N:1$ セレクタにおいて、 $N$ 本のセレクタ制御信号の内、隣接位相制御ピン 2  
本を同時 ON 制御することにより、  
第一の位相と第二の位相の中間の位相を生成し、 $N$ 相のクロックから  $N \times 2$  相の出  
力が得られることを特徴とする請求項 7 記載のデジタル制御型クロックデータリ  
カバリ回路。

【請求項 9】

入力データの長周期的位相変動（ワンド）に対して、データとクロックのエッ  
ジ位置を比較し追従する機能を有することを特徴とするデジタル制御型クロック  
データリカバリ回路。

【請求項 10】

入力データの長周期的位相変動に対しても、データとクロックのエッジ位置を  
比較し追従する機能は、

位相分割数Nによって決定される隣接位相差 $T/N$ ( $T$ :クロック周期)、カウンタの出力から位相比較1回目までの時間(ループディレイ) $T_a$ と入力データが長周期的に位相変動する最大変化量 $B$ 、位相変動する周期 $T_w$ は $B \times \sin(2\pi \times T_a/T_w) < T/N$ の関係により成り立つことを特徴とする請求項9記載のデジタル制御型クロックデータリカバリ回路。

**【請求項11】**

データとデータ取込みクロックのエッジ位置を比較し、データの高周波位相変動(ジッタ)により狭くなるデータ開口部内に、データ取込みクロックのエッジを配置するように制御する制御回路を有し、上記データ取り込みエッジのタイミングでデータを取り込むことを特徴とするデジタル制御型クロックデータリカバリ回路。

**【請求項12】**

上記制御回路は、データとデータ取込みクロックのエッジ位置が、所定間隔以上近づかないように制御することにより、データの高周波位相変動(ジッタ)により狭くなるデータ開口部内に、データ取込みクロックのエッジを配置するように制御することを特徴とする請求項11記載のデジタル制御型クロックデータリカバリ回路。

**【請求項13】**

上記制御回路は、データとデータ取込みクロックのエッジ位置を第1の所定頻度で比較し、該比較結果に基づいて、上記第1の所定頻度以下の第2の頻度で上記データ取込みクロック位相を変化させることを特徴とする請求項11記載のデジタル制御型クロックデータリカバリ回路。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、ジッタ/ワンダ耐性に優れ、小型化および低電力化に好適なクロック再生回路に関する。

**【0002】**

**【従来の技術】****【非特許文献 1】**

2000 IEEE International Solid-State Circuits Conference TP 15.7 " A 20 Gb/s CMOS Multi-Channel Transmitter and Receiver Chip Set for Ultra-High Resolution Digital Display"

近年、インターネットの普及などによるデータ通信サービスの著しい増加に伴い、基幹ネットワークを始めとして、メトロネットワークに至るまで光ファイバーによる光伝送システムが適用されている。現在、基幹ネットワークでは、10 Gbps 光伝送システムの本格的な製品化時期を迎え、さらに、次世代 40 Gbps 光伝送システム向け通信LSIの開発が始まっている。これまで、光伝送モジュールでは、Framer ICとのインタフェースに、データとクロックを並送する伝送方式が採用されてきた。

**【0003】****【発明が解決しようとする課題】**

非特許文献 1 はかかる伝送方式の一例を示す従来技術である。以下、図面により、発明者らが非特許文献 1 などの従来技術を検討した結果抽出された技術的課題を順次説明する。

**【0004】**

図 16 は発明者が作成した、本発明の前提となる光伝送モジュールを示すブロック図である。

図 17 は、図 16 に示す SFI-5 Rx LSI を示すブロック図である。

図 16、図 17 に示すような次世代 40 Gbps 光伝送モジュールでは、このインターフェース部の多ビット、かつ高周波数化のために、データからクロックを抽出する伝送方式(CDR:Clock and Data Recovery)を前提としたインターフェース仕様 SFI-5 が提案されている。図 17 で CDR は DATA からクロックを抽出して DATA を受け取る。FIFO はチャンネル間に発生するクロックスキューを吸収するものである。これは、高速 I/F LSI では必須の機能である。

図 18 に一般に知られている VCO 発振器を用いたクロックデータリカバリ回路(CDR)のブロック構成例の図であって発明者が作成したものを示す。位相比較



結果からUPとDOWN信号の差分の電荷をチャージポンプ1801に蓄積し、そのキャパシタ電圧がループフィルタ1802により高周波成分を除去され発振器1803に供給される。本構成ではこのループフィルタの容量を100pF程度と大きくする必要があり回路面積も500 $\mu\text{m}^2$ 程度と大きくなる欠点がある。そのため、光伝送システム向けの多ビット化対応には向いていない。

#### 【0005】

図19は本発明の課題を示すために、発明者が想定した比較例であるCDRにおける可変遅延タイプ位相生成方式のブロック構成を示す。入力データ1901と内部生成したデータ取込みクロック1902との位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器1903とUP/DOWN信号1904をクロック位相出力にフィードバックする頻度を制御するカウンタ1905とカウンタ1905の出力信号からクロックの出力位相を生成するクロック位相生成部1906から構成される。さらにクロック位相生成部1906は位相補間制御部1907と2つの位相補間回路1908から構成されている。

位相補間回路1908は左右2つの差動対が共通の負荷抵抗に接続され、左右の2つの差動対に90°位相の異なるクロック信号を入力するとそれらの位相の中間位相を持った信号を出力する。また、この中間位相は差動対の電流源を制御することで段階的な位相を構成できる。例えば、 $\theta$ と $\phi$ の組合せ0°と90°、90°と180°、180°と270°、270°と0°の中間位相を電流制御することで出力位相を16段階 $\times 4$ ( $\theta$ と $\phi$ の組合せ)=64段階に可変できる。差動対に流す電流はI0からI16までの16分割となりこのI0～I16の組合わせで上記16段階に制御している。

図20に図19のCDRの動作フローを示す。まず、位相比較器で、データ2001と内部生成クロックのエッジ2002を比較し、データに対してクロックの位相が遅れている場合にUP信号2003を進んでいる場合にDOWN信号2004を出力する。次に、カウンタでそれぞれUP/DOWN信号をカウントしN回に達したらカウンタの出力信号をそれぞれ出力する。そして、カウンタの出力信号を受けたクロック生成部2005ではUP/DOWN信号に基づき再生クロック2002を出力する。

図21に図19のCDRの動作概要を示す。従来、位相比較結果を再生クロック

に反映させる処理方式に随時処理方式を採用している。位相検出から再生クロックに反映するまでのサイクルは、位相比較からカウンタ出力までの位相検出期間、クロック位相選択処理と再生クロックのディレイとしてのクロックディレイに分けられる。随時処理方式では再生クロックに反映されるまでのサイクルが終了する前に次のサイクルを始めることでクロック制御間隔を短くしている。これは、位相検出及びフィードバックの精度を上げるためである。

図 2 2 に図 1 9 の例の動作タイミングチャートを示す。前記クロック制御間隔をさらに短くする方法として、カウンタを 2 面所有し、処理 A と処理 B で並列処理する方法がある。もちろん、1 面のカウンタによる処理 A のみの場合も考えられる。初期の再生クロックにクロック 3 が選択されているところから説明する。データの立上りエッジに対して再生クロックの立上りエッジが進んでいる状態から処理 A の位相検出①で DOWN\_A が N 回カウントされ位相選択・クロック出力工程を経てクロックがフィードバックされクロック 2 に切替る。また、処理 A と並行して処理 B が流れており前記同様の処理からクロック 2 が選択される。処理 A の続きでは、ワンダによりデータエッジが変動し再生クロックの立上りエッジが遅れている。この状態に対して位相検出①の結果が反映される前に位相検出③で UP\_A が N 回カウントされ位相選択・クロック出力工程を経てクロック 3 に切替る。

図 2 3 に図 1 9 の CDR の基本動作を示す。再生クロック 2 の立上りエッジ 2 と再生クロック 3 の立上りエッジ 3 で構成される位相比較ウィンドウ A にデータの立上りエッジが存在すればクロックをプラス方向に  $T/N$  の位相差分移動する。再生クロック 2 の立上りエッジ 2 と再生クロック 1 の立上りエッジ 1 で構成される位相比較ウィンドウ B にデータの立上りエッジが存在すればクロックをマイナス方向に  $T/N$  の位相差分移動する。また、データはクロックの立ち下がりエッジで取込んで出力される。

図 2 4 に図 1 9 の位相比較方式（エッジ合込み方式）を示す。ジッタを持ったデータを対象とした場合の位相比較におけるデータ取込みについて説明する。ジッタは SFI-5 (Serdes Frammer Interface Level 5) の規格値 0.675UI に I/O によるジッタ増分 0.025UI を加えた 0.7UI で考えることとする。まず、データ開口部から遠いサイドのデータエッジと位相比較するクロックの場合（クロックタイミング

1)、クロックの立ち下がりエッジがデータ取込みウィンドウから外れ、ジッタ0.7UIの範囲内に存在するためD0からDnまでデータエッジが変動することを考慮すると例えばDnでは1サイクル前のデータを出力する可能性がある。次に、データ開口部に近いサイドのデータエッジと位相比較するクロックの場合(クロックタイミング2)、クロックの立ち下がりエッジがデータ取込みウィンドウから外れ、ジッタ0.7UIの範囲内に存在するため例えばD0では1サイクル後ろのデータを出力する可能性がある。

図25にワンダの定義を示す。SFI-5で規定されているワンダ量はP-Pで10.65UI、周期Twが5.3~6.7 $\mu$ secで定義されている。また、図26にワンダ量の位相検出期間依存性を示す。位相検出期間Taにおけるワンダ量Tbは、例えば、従来CDRのカウンタ数8回からTa=8UIでTb=5.2psとなる。また、カウンタに入力する信号が分周されていればさらにワンダ量が大きくなりTa=16UIでTb=10.4psとなる。

図27に図19のCDRのワンダ発生時のクロックエッジとデータ開口部との関係について示す。ワンダ変化前における、クロックの立ち下がりエッジがデータ開口部内のジッタ範囲まで数psの位置にクロック立ち下がりエッジが存在可能でD0からDnまでのデータを正しく出力可能である。一方、従来の位相検出期間の間に变化するワンダでは例えば上記のようにデータエッジがTb=~10ps変動するため、クロックの立ち下がりエッジがデータ開口部から外れジッタ0.7UIの範囲内に存在し、例えばDnでは1サイクル前のデータを出力する可能性がある。

#### 【0006】

以上のようにこの比較例では、ワンダにより位相比較フィードバック直前のクロックで取込むデータは1サイクル後ろのデータとなる可能性がある。また、ワンダによりデータ取込みウィンドウ幅が狭くなるためTb(ワンダ量/位相検出期間)を小さくする必要がある。

図28に図19のCDRのワンダ発生時の位相比較ウィンドウとデータエッジの関係を示す。従来CDRは位相比較結果をN回カウントした後、再生クロックを生成する。位相比較1回目のデータエッジが位相比較ウィンドウ内に存在するのに対し、図示する位相比較N回目ではワンダTbによりデータエッジが位相比較ウィンドウから外れ、位相比較結果を出力できないためN回をカウントできず再生クロ

ックを生成せず位相が変化しない。

以上のように、この比較例では、位相比較ウィンドウA内にあるべきデータエッジが位相検出期間の中でワンダによりデータ位相が $T_b$ 変動し、位相比較ウィンドウから外れ、カウントNできず位相が変化しない。従って、クロックエッジがデータエッジに追従しなくなる虞がある。また、ワンダ $T_b$ の大きさにより出力データも正しく取れず、1サイクル後ろのデータを出力する可能性がある。

以上詳細に説明したように、上記従来クロックデータリカバリ回路には、以下の問題があった。

(1) ジッタの幅が $0.5UI$ を超えるようなデータに対しての位相比較方式について配慮が足りなかった。つまり、ジッタ幅が $0.5UI$ を超えるようなデータを合せ込み方式による位相比較方式で対応すると、データ開口部サイドのデータエッジとクロック立上りエッジの位相を比較した場合、クロック立ち下がりエッジでデータを取り込むためそのエッジがデータ取込みウィンドウから外れ、その結果、正しくデータを取り込めない。言い換えれば、合せ込み方式ではジッタの幅が $0.5UI$ 以下程度のデータでないと正しく取り込めない。

以上から、上記クロックデータリカバリ回路は、ジッタトレランスが狭い問題があった。

(2) ワンダが発生してもデータを正しく取り込むための位相比較方式について配慮が足りなかった。つまり、ワンダ発生前にデータ開口部のジッタ範囲まで数psの位置にクロック立ち下がりエッジが存在可能のため、ワンダがジッタ方向に発生した場合、クロック立ち下がりエッジがジッタ範囲内に存在することになり正しくデータを取り込めない。

以上から、上記クロックデータリカバリ回路は、ワンダを考慮するとデータ取込み可能範囲が狭い問題があった。

(3) ワンダが発生してもデータエッジが位相比較ウィンドウ内に配置するための位相検出方式について配慮が足りなかった。つまり、位相検出期間の位相比較1回目データエッジが位相比較ウィンドウ端数psの位置に存在可能であり、位相比較N回目ではワンダ $T_b$ により位相が変動するため位相比較ウィンドウから外れる可能性が高い。すなわち、位相比較結果を出力できないためN回をカウント

できず再生クロックを生成せず位相が変化しない。

以上から、上記クロックデータリカバリ回路は、ワンダに対して再生クロックの追従性が悪い問題があった。

(4) 位相補間回路の低消費電力化について配慮が足りなかった。つまり、位相補間回路の電流は、 $I_0=0\text{mA}$ 、 $I_1=\text{回路動作限界電流mA}$ 、そして $I_{16}=I_1 \times 16\text{mA}$ と $I_0$ から $I_{16}$ まで $I_1\text{mA}$ ピッチの電流刻みで制御している。すなわち、位相選択によっては常に動作限界電流の16倍の電流を流すことになる。

以上から、上記クロックデータリカバリ回路は、消費電力が大きい問題があった。

本発明の第1の目的は、上記問題(1)を解決するために、クロックデータリカバリ回路のジッタトレランスを拡張可能とするクロックデータリカバリ回路を提供することにある。

本発明の第2の目的は、上記問題(2)を解決するために、クロックデータリカバリ回路のワンダ発生におけるデータ取込み可能範囲を拡張可能とするクロックデータリカバリ回路を提供することにある。

本発明の第3の目的は、上記問題(3)を解決するために、クロックデータリカバリ回路のワンダに対する再生クロックの追従性の向上を可能とするクロックデータリカバリ回路を提供することにある。

本発明の第4の目的は、上記問題(4)を解決するために、クロックデータリカバリ回路の消費電力の低減を可能とするクロックデータリカバリ回路を提供することにある。

#### 【0007】

##### 【課題を解決するための手段】

上記第1の目的を達成するため、本発明は、データとデータ取込みクロック(再生クロック)のエッジ位置を比較し、その間隔が基準値を下回ったら、クロックエッジをデータエッジから遠避ける機能と、レファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、その中からデータ取込みクロックを選択する機能を有することから成るものである。

また、データとデータ取込みクロックのエッジ位置を比較し、データの高周波

位相変動（ジッタ）により狭くなるデータ開口部内に、データ取込みクロックのエッジを配置するように制御し、その比較対象クロックエッジのタイミングでデータを取込む機能を有することから成るものである。

さらに、入力データと内部生成したデータ取込みクロックとの位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器と、UP/DOWN信号をクロック位相出力にフィードバックする頻度を制御するカウンタと、カウンタの出力OUT UP/OUT DOWN信号からクロックの出力位相を制御するクロック選択回路と、

位相制御信号に応じたクロック位相を出力する位相可変遅延回路を備え、入力データからクロックを再生し、その再生クロックのタイミングで入力データを取込むことから成るものである。

そして、UP/DOWN信号をクロック位相出力にフィードバックする頻度を制御するカウンタと、カウンタの出力OUT UP/OUT DOWN信号からクロックの出力位相を制御するクロック選択回路と、位相制御信号に応じたクロック位相を出力する位相可変遅延回路を備え、レファレンスクロックから1サイクルをN分割したN位相のクロックを位相可変遅延回路により生成し、クロック選択回路が指定する位相のデータ取込みクロックを選択することから成るものである。

つづいて、前記クロック相選択回路が決定している位相切替ピッチ $T_p$ に対して $T_p$ 以下の複数サイクルに渡って位相検出した複数の結果をもとに前記可変遅延回路の出力位相を選択する機能を有することから成るものである。

本発明は、上記第2、第3の目的を達成するため、データとデータ取込みクロック（再生クロック）のエッジ位置を比較し、その間隔が基準値を下回ったら、クロックエッジをデータエッジから遠避ける機能と、レファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、その中からデータ取込みクロックを選択する機能を有することから成るものである。また、本発明の別の観点は、入力データの長周期的位相変動（ワンド）に対して、データとクロックのエッジ位置を比較し追従する機能を有するクロックデータリカバリ回路である。

#### 【0008】

入力データの長周期的位相変動に対しても、データとクロックのエッジ位置を

比較し追従する機能は、位相分割数Nによって決定される隣接位相差 $T/N$ ( $T$ :クロック周期)、カウンタの出力から位相比較1回目までの時間(ループディレイ:位相比較器の出力が位相比較器の入力クロックに反映されるまでの時間) $T_a$ 、入力データが長周期的に位相変動する最大変化量 $B$ 、位相変動する周期 $T_w$ が、

$$B \times \sin(2\pi x T_a / T_w) < T/N$$

の関係を満足するように制御することにより達成できる。

そして、前記クロック相選択回路が決定している位相切替ピッチ $T_p$ に対して $T_p$ 以下の複数サイクルに渡って位相検出した複数の結果をもとに前記可変遅延回路の出力位相を選択する機能を有することから成るものである。

本発明は、上記第4の目的を達成するため、前記位相可変遅延回路はバッファ、合成回路、N:1セクタ、CMOSレベル変換回路を備え、前記バッファ、合成回路、N:1セクタは低振幅差動回路で構成していることから成るものである。

また、前記N:1セクタにおいて、N本のセクタ制御信号の内、隣接位相制御ピン2本を同時ON制御することにより、第一の位相と第二の位相の中間の位相を生成し、N相のクロックから $N \times 2$ 相の出力が得られることから成るものである。

#### 【0009】

また、本発明のデータ再生方法においては、入力データを用いて再生クロックを形成し、その再生クロックのタイミングに基づいて入力データを取込むデータ再生方法であって、入力データと再生クロックのエッジ位置を比較し、その間隔が基準値を下回ったら、再生クロックのエッジを入力データのエッジから遠避けるように制御することを特徴とする。再生クロックの作成は、レファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、その中から選択することによって行うことができる。

#### 【0010】

また、本発明のクロックデータリカバリ回路は、入力データと内部生成したデータ取込みクロックとの位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器と、UP/DOWN信号をクロック位相出力にフィードバックする頻度を制御するカウンタと、カウンタの出力OUT UP/OUT DOWN信号からクロックの出力位相を制御するための移相制御信号を形成するクロック相選択回路

と、位相制御信号に応じたクロックを出力してデータ取り込みクロックとする位相可変遅延回路を備え、データ取り込みクロックのタイミングで上記入力データを取込むことを特徴とする。

#### 【0011】

位相可変遅延回路は、データ取り込みクロックのエッジが入力データのエッジから所定間隔以上を離れるように、データ取り込みクロックの位相を変化させて出力するようにするとよい。

また、位相可変遅延回路は、レファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、上記位相制御信号に応じた位相のデータ取り込みクロックを選択して出力ようにしてもよい。

また、位相可変遅延回路は、クロック相選択回路が決定している位相切替ピッチTpに対してTp以下の複数サイクルに渡って位相検出した複数の結果をもとに可変遅延回路の出力位相を選択するようにしてもよい。

#### 【0012】

また、位相可変遅延回路は、バッファ、合成回路、N:1セレクタ、CMOSレベル変換回路を備え、バッファ、合成回路、N:1セレクタは低振幅差動回路で構成してもよい。

#### 【0013】

本発明の他の観点は、データとデータ取り込みクロックのエッジ位置を比較し、データの高周波位相変動（ジッタ）により狭くなるデータ開口部内に、データ取り込みクロックのエッジを配置するように制御する制御回路を有し、データ取り込みエッジのタイミングでデータを取り込むことを特徴とする。

このため制御回路は、データとデータ取り込みクロックのエッジ位置が、所定間隔以上近づかないように制御して、データの高周波位相変動（ジッタ）により狭くなるデータ開口部内に、データ取り込みクロックのエッジを配置するように制御することができる。

また、記制御回路は、データとデータ取り込みクロックのエッジ位置を第1の所定頻度で比較し、該比較結果に基づいて、第1の所定頻度以下の第2の頻度で上記データ取り込みクロック位相を変化させることができる。例えば高頻度でサンプル



した複数のエッジ間隔の値を反映して、それより低い頻度でクロックの位相を変化させることにより、データとクロックのエッジの間隔を制御する。これにより、高精度のエッジ位置制御を簡便な回路で実現できる。

#### 【0014】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面により説明する。

図1は本発明による第1実施の形態のデジタル制御型クロックデタリカバリ回路構成である。図1において、デジタル型クロックデタリカバリ回路は、入力データ101と内部生成したデータ取込みクロック102との位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器103と、UP/DOWN信号104をクロック位相出力にフィードバックする頻度を制御するレジスタ多段接続OR論理型カウンタ105と、カウンタ105の出力信号からクロックの出力位相を生成するクロック位相生成部106から構成されている。さらに、クロック位相生成部106はクロック相選択回路107とデジタル制御型位相可変遅延回路108から構成されている。

位相可変遅延回路108はレファレンスクロック109から1サイクルをN分割したN位相のクロックを生成し、その中からデータ取込みクロックを選択し出力する。ここでは、位相可変遅延回路108はデジタル制御であり、16相のクロックからセクタで選ぶこととした。位相比較器103はそのクロックを受けてデータとの位相を比較し、その結果をUP/DOWN信号として出力する。その時の信号はデータのエッジからクロックのエッジを遠避けるように制御・出力する。カウンタ105は複数サイクルに渡り検出するUP/DOWN信号をOR論理処理し検出精度を上げつつ16サイクルに1回の割合で出力する。これは、従来UP/DOWN信号をカウントしていたのに対しクロックを16回カウントしてUP/DOWNを出力していることと同等である。

図2は本発明による位相反映処理方式（逐次処理方式）の第1の実施の形態の動作概要を示す図である。

一動作例では、位相検出期間において数サイクルに渡って検出したUP/DOWN信号をOR論理処理し、その処理結果を反映したUP/DOWN信号を出力し、クロック位相

を制御する。

本実施例の形態では位相比較結果を再生クロックに反映させる処理方法に逐次処理方式を採用している。位相検出から再生クロックに反映するまでのサイクルは、位相比較からカウンタ出力までの位相検出期間、クロック位相選択処理と再生クロックのディレイとしてのクロックディレイに分けられる。逐次処理方式では再生クロックに反映されるまでのサイクルが終了後、次のサイクルの工程を開始する。これは、位相検出 1 回当たり 1 回の反映に抑えているためで、クロック位相分割数を従来より小さくし位相切替わり変化量を大きく設定しているためである。これは、ワンダ・ジッタ耐性を上げるために行っている。

図 3 に本発明による第 1 の実施の形態の動作タイミングチャートを示す。初期の再生クロックにクロック 3 が選択されているところから説明する。データの立上りエッジに対して再生クロックの立上りエッジが進んでいる状態から位相検出を行い複数サイクルに渡り出力された DOWN 信号を OR 論理処理して 16 サイクルに 1 回出力し、位相選択・クロック出力工程を経てクロックがフィードバックされクロック 2 に切替る。次に、ワンダによりデータエッジが変動し再生クロックの立上りエッジが遅れている状態に対して位相検出を行い複数サイクルに渡り出力された UP 信号を OR 論理処理して 16 サイクルに 1 回出力し、位相選択・クロック出力工程を経てクロック 3 に切替る。上記のように位相比較結果を再生クロックに反映後、逐次処理される。

図 4 に本発明による第 1 の実施の形態の CDR 基本動作を示す。再生クロック 2 の立下がりエッジ 2 と再生クロック 3 の立下がりエッジ 3 で構成される位相比較ウィンドウ A にデータの立上りエッジが存在すればクロックをマイナス方向に  $T/N$  の位相差分移動する。再生クロック 2 の立下がりエッジ 2 と再生クロック 1 の立下がりエッジ 1 で構成される位相比較ウィンドウ B にデータの立上りエッジが存在すればクロックをプラス方向に  $T/N$  の位相差分移動する。また、データはクロックの立ち下がりエッジで取込んで出力される。

#### 【0015】

図 4 で説明している位相比較ウィンドウ A、B (基準値) はエッジ 1、2、3 を形成しているクロック位相に基づいて決めることができる。本実施例では、相対

位相で $0^\circ$  位相と $\pm 90^\circ$  位相から構成しており

ウィンドウA= $0^\circ$  位相  $\sim -90^\circ$  位相= $1/4$ サイクル

ウィンドウB= $90^\circ$  位相  $\sim 0^\circ$  位相= $1/4$ サイクル

としている。

これは、ジッタ・ワンダ特性に影響してくる基準値で他のパラメータとの関係からも特性が変わってくるが、本実施例では $1/4$ サイクル程度とした。

図5に本発明による第1の実施の形態の位相比較方式（エッジ遠避け方式）を示す。ジッタはSFI-5の規格値 $0.675UI$ にI/Oによるジッタ増分 $0.025UI$ を加えた $0.7UI$ で考えることとする。まず、前記基本動作で述べたように位相比較ウィンドウ内にデータエッジが入り込んできたならデータエッジから逃げるように位相が切替り、位相比較ウィンドウ内にデータエッジが存在しなければ位相が切替らないため常にデータ開口部にクロックエッジが存在する。つまり、データ開口部のジッタ両サイドのデータエッジと位相比較するクロックの立ち下がりエッジがデータ取込みウィンドウから外れることはなく正しくデータを出力可能である。

以上のように、データ開口部の両サイドに位置するデータエッジはいずれも、位相比較するクロックのデータ出力エッジがデータ取込みウィンドウ内に存在し、正しくデータを出力できる。また、理想的には、位相切替わりにより、クロックのデータ取込みエッジ位置は開口部中心に向かって移動する。

図6に本発明による第1の実施の形態のCDRのワンダ発生時のクロックエッジとデータ開口部との関係を示す。ワンダ変化前における、クロックの立ち下がりエッジがデータ開口部内のジッタ範囲まで位相比較ウィンドウAまたはBの幅（ $1/4$ 周期）程度離れた位置にクロック立ち下がりエッジが存在し、 $D_0$ から $D_n$ までのデータを正しく出力可能である。一方、カウンタ出力から位相比較1回目までの間（ループディレイ）に変化するワンダでは例えばデータエッジが $T_b \sim 5.8ps$ 変動する（図8参照）。しかし、上記に示すようにクロックの立ち下がりエッジがデータ開口部から約 $1/4$ 周期（ $80ps$ ： $T=320ps$ ）離れた位置に存在するため $T_b$ が左右どちらに変動してもデータ取込みウィンドウを外れることはない。

以上のように、ワンダ変化後でも位相比較フィードバック後のクロックがデータ

取込みウィンドウ内に存在するため正しくデータを出力できる。なお、ワンダによりデータ取込みウィンドウ幅が狭くなる場合には、ワンダ量／ループディレイを小さくすることが望ましい。

図7に本発明による第1の実施の形態のCDRのワンダ発生時の位相比較ウィンドウとデータエッジの関係を示す。位相検出1回目のデータエッジが位相比較ウィンドウ内に存在しており、再生クロックの位相が切替り位相検出2回目に反映される。その間にワンダによりデータエッジが $T_b \sim 10\text{ps}$ 変動する（図8参照）。位相検出2回目のクロックエッジに対して位相比較ウィンドウAまたはBから離れる方向にワンダが発生しても位相比較ウィンドウ内にデータエッジが存在しないためクロックエッジは切替らずデータ開口部のデータを取り続ける。一方、位相比較ウィンドウ方向にワンダが発生しても位相比較ウィンドウA内にデータエッジが入ってくるためデータエッジから逃げるようにクロックエッジが切替る。しかし、同じ方向にワンダが発生し続けるとワンダと切替り位相変化量との関係によりクロックエッジがデータエッジから追い越される可能性がある。つまり、ワンダ $T_b$ に追従するためには、位相分割数 $N$ によって決定される隣接位相差 $T/N$ （ $T$ ：クロック周期）、カウンタの出力から位相比較1回目までの時間（ループディレイ） $T_a$ と入力データが長周期的に位相変動する最大変化量 $B$ 、位相変動する周期 $T_w$ を含んだ下記条件が必要となる。

$$T_b = B \times \sin(2\pi \times T_a / T_w) < T/N \quad (1)$$

本発明による第1の実施の形態のCDRでは例えば $N=16$ 、 $T=320\text{ps}$ 、 $T_a=9\text{UI}$ 、 $B=10.65\text{UI}$ 、 $T_w=5.3\text{ps}$ から $T_b = B \times \sin(2\pi \times T_a / T_w) = 5.8\text{ps}$ に対し、 $T/N=20\text{ps}$ と条件式(1)を満足している。つまり、本発明による第1の実施の形態のCDRはワンダに追従し続けることが可能である。

#### 【0016】

すなわち、本実施例では、下記条件によりデータエッジは位相比較ウィンドウA内に存在しクロックがデータエッジに追従する。

データのワンダ $T_b$ にクロックエッジが追従するための条件

$$T_b = (10.65\text{UI}/2) \times T \times \sin(2\pi \times T_a / T_w) < (T/N)$$

図9に第1の実施の形態の位相比較器を示す。位相比較器900は、例えばデ

ータ取込み用差動クロックFF901と、EOR動作確保用1/2倍化FF902と、位相比較用EOR903と、分周用FF904で構成される。

位相比較データ取込み用FF901で同じデータをクロック位相 $-90^{\circ}$ 、 $0^{\circ}$ 、 $90^{\circ}$ 3種で各FFに取込み、EORの動作を考慮しその出力を1/2分周化後、EOR903で位相比較を行う。位相比較はクロック位相 $-90^{\circ}$ と $0^{\circ}$ 、 $0^{\circ}$ と $90^{\circ}$ で取込んだそれぞれのFF出力データで行い、各位相間にデータエッジが存在する場合EOR入力2に“H”が入力し入力1は“L”のためEOR出力が“H”となりエッジ検出信号のUP/DOWNを出力する。

#### 【0017】

図10は本発明による第1の実施の形態のレジスタ多段接続OR論理型カウンタを示す図である。

図10において、例えばレジスタ多段接続OR論理型カウンタ1000は、複数サイクルの位相検出結果を蓄積するためのUP/DOWNデータシフト部1001と、UP/DOWN検出精度向上用OR回路1002と、出力頻度調整用の分周FF1003と出力FF1004で構成している。

入力UP/DOWNのデータはUP/DOWNデータシフト部1001・OR回路1002を通過して出力FF1004から1/6分周されたクロックのタイミングで出力される。位相検出期間では、複数サイクルに渡って位相比較を行っておりその間のUP/DOWNデータをUP/DOWNデータシフト部に貯める仕組みをとっている。さらに貯めたデータのOR論理処理を施し位相検出の頻度を上げることで検出精度の向上を図っている。

#### 【0018】

図11は本発明による第1の実施の形態のクロック相選択回路を示す図である。図11において、例えばクロック相選択回路1100は、シフトレジスタ部1101と、UP/DOWNキャンセル部1102と、出力部1103で構成している。シフトレジスタ部1101はシフトレジスタ1104がリング状に接続され、選択しているクロック相を指し示すFF1105に情報“1”が保持されている。クロック相の切替わりは、この情報がクロック周期の1/16の速度で、UP信号で右方向に、DOWN信号で左方向に伝播することで発生する。UP/DOWNキャンセル部

1102はNANDの論理でUP/DOWN両方の信号が同時に入力してきた時に入力信号をキャンセルし位相が変化しないようにしている。出力部1103はシフトレジスタ部1101の16の出力情報から8つの出力情報にデコードする。

前述したように本第1実施の形態は、データとデータ取込みクロック（再生クロック）のエッジ位置を比較し、その間隔が基準値を下回ったら、クロックエッジをデータエッジから遠避け、レファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、その中からデータ取込みクロックを選択する。

また、データとデータ取込みクロックのエッジ位置を比較し、データの高周波位相変動（ジッタ）により狭くなるデータ開口部内に、データ取込みクロックのエッジを配置するように制御し、その比較対象クロックエッジのタイミングでデータを取込む。

さらに、入力データと内部生成したデータ取込みクロックとの位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器と、UP/DOWN信号をクロック位相出力にフィードバックする頻度を制御するカウンタと、カウンタの出力OUT UP/OUT DOWN信号からクロックの出力位相を制御するクロック選択回路と、位相制御信号に応じたクロック位相を出力する位相可変遅延回路を備え、入力データからクロックを再生し、その再生クロックのタイミングで入力データを取込む。

そして、UP/DOWN信号をクロック位相出力にフィードバックする頻度を制御するカウンタと、カウンタの出力OUT UP/OUT DOWN信号からクロックの出力位相を制御するクロック選択回路と、位相制御信号に応じたクロック位相を出力する位相可変遅延回路を備え、レファレンスクロックから1サイクルをN分割したN位相のクロックを位相可変遅延回路により生成し、クロック選択回路が指定する位相のデータ取込みクロックを選択する。

つづいて、前記クロック相選択回路が決定している位相切替ピッチTpに対してTp以下の複数サイクルに渡って位相検出した複数の結果をもとに前記可変遅延回路の出力位相を選択する。

このような本第1実施の形態によれば、データと再生クロックのエッジ位置が基準値を下回することは、位相比較ウィンドウAまたはB（80ps）内にデータエッジ

が入り込むことであり、入り込むとデータエッジから逃げるように位相が切替り、位相比較ウィンドウ内にデータエッジが存在しなければ位相が切替らないため常にデータ開口部にクロックエッジが存在する。そのため、0.7UIのジッタを持ったデータに対してもデータを取込みジッタトレランスの拡張が可能である。

上記第1実施の形態によれば、デジタル制御型クロックデータリカバリ回路のジッタトレランスを拡張する効果がある。

さらに前述したように本第1実施の形態は、データとデータ取込みクロック（再生クロック）のエッジ位置を比較し、その間隔が基準値を下回ったら、クロックエッジをデータエッジから遠避ける機能と、レファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、その中からデータ取込みクロックを選択する機能を有することから成るものである。

また、入力データの長周期的位相変動（ワンド）に対して、データとクロックのエッジ位置を比較し追従する。

さらに、位相分割数Nによって決定される隣接位相差 $T/N$ （ $T$ ：クロック周期）、位相比較器の出力が位相比較器の入力クロックに反映されるまでの時間 $T_a$ と入力データが長周期的に位相変動する最大変化量 $B$ 、位相変動する周期 $T_w$ は $B \times \sin(2\pi \times T_a/T_w) < T/N$ の関係により成り立つ。

そして、前記クロック相選択回路が決定している位相切替ピッチ $T_p$ に対して $T_p$ 以下の複数サイクルに渡って位相検出した複数の結果をもとに前記可変遅延回路の出力位相を選択する。

このような本第1実施の形態によれば、位相比較ウィンドウAまたはB（80ps）内にデータエッジが入り込むとデータエッジから逃げるように位相が切替り、データ開口部内のジッタ端から位相比較ウィンドウAまたはBの幅程度約80psの位置にデータ取込みクロックのエッジが存在する。一方、カウンタ出力から位相比較1回目までの間（ループディレイ）に変化するワンドではデータエッジが $T_b \sim 10$ ps程度変動する。つまり、ワンドによりデータエッジが変動してもデータ取込みクロックエッジがジッタ端まで約80psの距離がありデータ開口部から外れることはなく正しくデータを取り込めるためデータ取込み可能範囲の拡張が可能である。

また、位相切替わり量よりワンダ量が大きい場合、位相比較ウィンドウ方向にワンダが発生し続けるとクロックエッジがデータエッジから追い越される可能性があるため、式(1)によりワンダ量 $T_b$ と位相切替わり量 $T/N$ を制限している。具体的には、カウンタの出力から位相比較1回目までの時間(ループディレイ) $T_a$ を9UIに設定することでワンダ量を抑える構成とし、位相分割数 $N=16$ にすることで位相変化量を大きくしている。これにより、 $T_b=5.8ps$ 、 $T/N=20ps$ となり条件式(1)を満足する。つまり、ワンダに追従し続けることが可能である。

上記第1実施の形態によれば、デジタル制御型クロックデータリカバリ回路のデータ取込み可能範囲を拡張する効果がある。また、ワンダに対する再生クロックの追従性を向上させる効果がある。

図12は本発明による第2の実施の形態の位相可変遅延回路を示す図である。図12において、例えば位相可変遅延回路1200は、 $0^\circ/90^\circ$ クロック入力用のバッファ1201と、2相から8相クロックを生成するための合成回路1202と、8相から16相クロックを選択可能としその中から1相を選択するための8:1セクタ1203(図13参照)と、CMOSレベル変換回路1204で構成している。

また、位相比較ウィンドウを構成するためのクロックとして $0^\circ$ 差動クロックと $90^\circ$ 差動クロックを出力するために8:1セクタ1203と、CMOSレベル変換回路1204を2面で構成している。

合成回路1202は入力位相をそのまま出力する回路と2相の入力の中間位相を出力する回路を使い分け2相から4相( $0^\circ$ 、 $45^\circ$ 、 $90^\circ$ 、 $135^\circ$ )を生成し、その反転により8相のクロックを出力する。

8-1セクタ1203は8本のセクタ制御信号の内、隣接位相制御ピン2本を同時ON制御することにより、中間位相を出力できるため8相の入力から16相を出力可能である。

CMOSレベル変換回路1204は差動バッファとセンスアンプとCMOS INVで構成し、CMOSレベルまで振幅を拡大している。

また、前記バッファ1201、合成回路1202、8:1セクタ1203、CMOSレベル変換回路1204(差動バッファのみ)は低振幅差動回路で構成されてい



る。

前述したように本第2実施の形態は、前記位相可変遅延回路はバッファ、合成回路、N:1セレクタ、CMOSレベル変換回路を備え、前記バッファ、合成回路、N:1セレクタは低振幅差動回路で構成している。

また、前記N:1セレクタにおいて、N本のセレクタ制御信号の内、隣接位相制御ピン2本を同時ON制御することにより、第一の位相と第二の位相の中間の位相を生成し、N相のクロックから $N \times 2$ 相の出力が得られる。

このような本第2実施の形態によれば、合成回路と8-1セレクタ回路は電流源を制御してN位相を生成するわけではなく、定電流源で動作する回路構成としてあるため、位相制御によって動作限界電流の16倍の電流を流す必要が無く、精々動作限界電流の2～3倍（0.45mA）程度の電流を流すことで安定動作する。よって、1/5倍まで消費電力の低減が可能である。

また、8-1セレクタを制御信号2ピンを同時ON制御することにより16相のクロック出力を得ることができるため、8-1セレクタ2つと合成回路により16相のクロック出力を得る回路構成に対し消費電力が約1/2倍に低減可能である。

上記第2実施の形態によれば、デジタル制御型クロックデータリカバリ回路の消費電力を低減する効果がある。

図14は本発明による第3の実施の形態のデジタル制御型クロックデータリカバリ回路を示す図である。

図14において、デジタル型クロックデータリカバリ回路は、入力データ1401と内部生成したデータ取込みクロック1402との位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器1403と、UP/DOWN信号1404をクロック位相出力にフィードバックする頻度を制御するレジスタ多段接続OR論理型カウンタ1405と、カウンタ1405の出力信号からクロックの出力位相を生成するクロック位相生成部1406から構成されている。さらに、クロック位相生成部1406はクロック相選択回路1407とデジタル制御型位相可変遅延回路1408から構成されている。また、クロックデータリカバリ回路全体がハーフレートで動作する。そのため、フルレート16相に対応するように可変遅延回路1408の位相切替数を32相に増やしている。32相はデジタル制御で

セレクタにより選択される。

基本的な動作は本発明による第1の実施の形態のデジタル制御型クロックデータリカバリ回路と同様である。

本第3実施の形態によっても、前述で説明した本第1実施の形態の場合と同様の効果が得ることができる。そして、クロックデータリカバリ回路をハーフレート動作にすることで約2倍の周波数帯まで動作可能である。

上記第3実施の形態によれば、第1実施の形態の効果に加え、クロックデータリカバリ回路をハーフレート動作にすることで動作速度を向上させる効果がある。

図15は本発明による第4の実施の形態のデジタル制御型クロックデータリカバリ回路（データディレイ方式）を示す図である。図15において、デジタル型クロックデータリカバリ回路は、入力データ1501と内部生成したデータ取込みクロック1502との位相を比較し、クロック位相の移動方向をUP/DOWN信号として出力する位相比較器1503と、UP/DOWN信号1504をクロック位相出力にフィードバックする頻度を制御するレジスタ多段接続OR論理型カウンタ1505と、カウンタ1505の出力信号からクロックの出力位相を生成するクロック位相生成部1506から構成されている。さらに、クロック位相生成部1506はクロック相選択回路1507とデジタル制御型位相可変遅延回路1508から構成されている。また、位相比較ウィンドウをクロックの3位相のエッジで構成する方式からデータをディレイさせて3位相のデータエッジで構成する方式に変更した。これにより、位相可変遅延回路が出力する再生クロックを2相から1相出力に変更する。位相可変遅延回路1508は16相のクロックから、デジタル制御でセレクタによりクロックを選択する。基本的な動作は本発明による第1の実施の形態のデジタル制御型クロックデータリカバリ回路と同様である。

本第4実施の形態によっても、前述で説明した本第1実施の形態の場合と同様の効果が得ることができる。そして、位相可変遅延回路の出力クロック相数が減るため2面持っていた8-1セレクタとCMOSレベル変換回路を1面にすることができ、消費電力を約1/2倍に低減可能である。

上記第4実施の形態によれば、第1実施の形態の効果に加え、位相可変遅延回

路の8-1セクタとCMOSレベル変換回路を1面にすることができ、消費電力の低減に効果がある。

### 【0019】

#### 【発明の効果】

本発明によれば以下の効果がある。

(1) 前記位相比較器でデータと再生クロックのエッジ位置を比較し、その間隔が基準値を下回ったら、クロックエッジをデータエッジから遠避けることは、ジッタトレランスの拡張が図れる。また、ワンダ発生におけるデータ取込み可能範囲の拡張が図れる。

(2) 前記位相可変遅延回路がレファレンスクロックから1サイクルをN分割したN位相のクロックを生成し、その中からデータ取込みクロックを選択することおよび、ワンダ量 $T_b$ と位相切替わり量 $T/N$ を式(1)により制限することは、ワンダに対する再生クロックの追従性の向上が図れる。

(3) 前記位相可変遅延回路を定電流源タイプの合成回路と8-1セクタで構成し、16位相の出力を得られるように8-1セクタの制御ピン2つを同時ON制御することは、消費電力の低減が図れる。

#### 【図面の簡単な説明】

##### 【図1】

本発明による第1実施の形態のデジタル制御型クロックデータリカバリ回路を示すブロック図である。

##### 【図2】

本発明による第1実施の形態の動作概要を示すタイミング図である。

##### 【図3】

本発明による第1実施の形態の動作タイミング図である。

##### 【図4】

本発明による第1実施の形態の基本動作を示す波形図である。

##### 【図5】

本発明による第1実施の形態の位相比較方式を示す波形図である。

##### 【図6】

本発明による第1実施の形態のワンダ発生時のクロックエッジとデータ開口部との関係を示す波形図である。

【図7】

本発明による第1実施の形態のワンダ発生時のデータエッジと位相比較ウィンドウとの関係を示す波形図である。

【図8】

本発明による第1実施の形態のワンダ量とループディレイ依存性を示すグラフ図である。

【図9】

本発明による第1実施の形態の位相比較器を示す回路図である。

【図10】

本発明による第1実施の形態のカウンタを示すブロック図である。

【図11】

本発明による第1実施の形態のクロック相選択回路を示すブロック図である。

【図12】

本発明による第2実施の形態の位相可変遅延回路を示す回路図である。

【図13】

本発明による第2実施の形態の8-1セレクタ回路を示す回路図である。

【図14】

本発明による第3実施の形態のデジタル制御型クロックデータリカバリ回路を示すブロック図である。

【図15】

本発明による第4実施の形態のデジタル制御型クロックデータリカバリ回路を示すブロック図である。

【図16】

光伝送モジュールを示すブロック図である。

【図17】

SFI=5 Rx LSIを示すブロック図である。

【図18】

比較例のVCOタイプCDR回路のブロック構成を示すブロック図である。

【図 19】

比較例の可変遅延タイプCDR回路のブロック構成を示すブロック図である。

【図 20】

比較例のCDR回路の動作フローを示す流れ図である。

【図 21】

比較例のCDR回路の動作概要を示すタイミング図である。

【図 22】

比較例のCDR回路の動作タイミングチャートを示すタイミング図である。

【図 23】

比較例のCDR回路の基本動作を示す波形図である。

【図 24】

比較例のCDR回路の位相比較方式を示す波形図である。

【図 25】

ワンドの定義を示す波形図である。

【図 26】

比較例のワンド量と位相切替ピッチ依存性を示すグラフ図である。

【図 27】

比較例のCDR回路のワンド発生時のクロックエッジとデータ開口部との関係を示す波形図である。

【図 28】

比較例のCDR回路のワンド発生時のデータエッジと位相比較ウィンドウとの関係を示す波形図である。

【符号の説明】

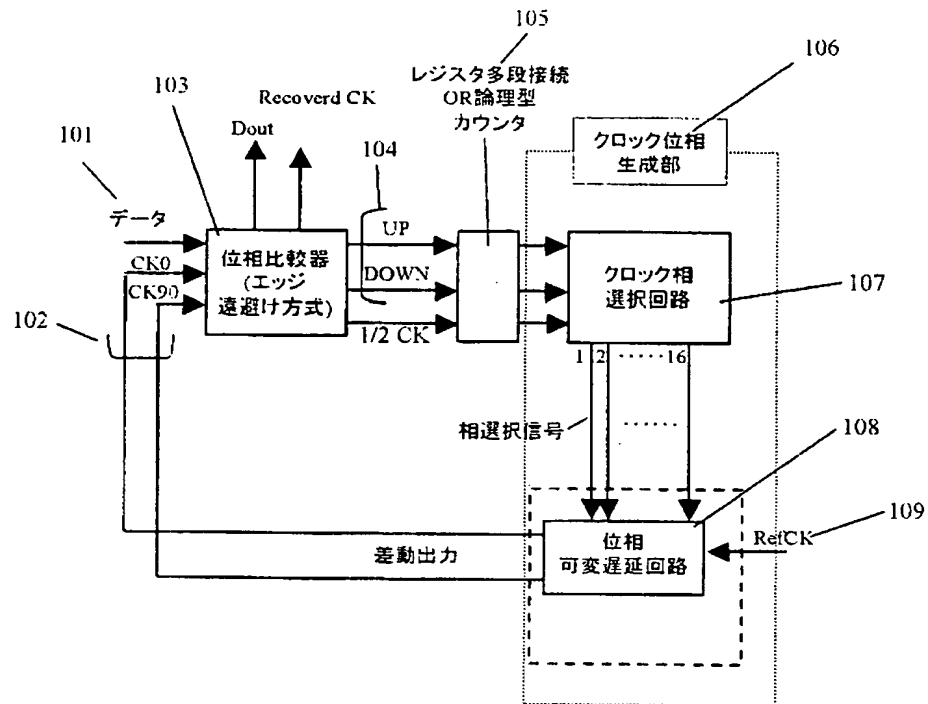
101、1401、1501、1901、2001…入力データ、102、1402、1502、1902、2002…データ取込みクロック（再生クロック）、103、1403、1503、1903…位相比較器、104、1404、1504、1904…UP/DOWN信号、105、1405、1505…レジスタ多段接続OR論理型カウンタ、1905…カウンタ、106、1406、1506、1

9 0 6…クロック位相生成部、1 0 7、1 4 0 7、1 5 0 7…クロック相選択回路、1 9 0 7…位相補間制御、1 0 8、1 4 0 8、1 5 0 8…位相可変遅延回路、1 9 0 8…位相補間回路、1 0 9…レファレンスクロック (RefCK)、9 0 0…位相比較器、9 0 1…位相比較データ取込み用EFF、9 0 2…EOR動作確保用1/2倍化FF、9 0 3…EOR、9 0 4…分周用EFF、1 0 0 0…レジスタ多段接続OR論理型カウンタ、1 0 0 1…UP/DOWNデータシフト部、1 0 0 2…OR回路、1 0 0 3…分周FF、1 0 0 4…FF、1 1 0 0…クロック相選択回路、1 1 0 1…シフトレジスタ部、1 1 0 2…UP/DOWNキャンセル部、1 1 0 3…出力部、1 1 0 4…シフトレジスタ、1 1 0 5…FF、1 2 0 0…位相可変遅延回路、1 2 0 1…バッファ、1 2 0 2…合成回路、1 2 0 3…8-1セレクタ、1 2 0 4…CMOSレベル変換回路、1 8 0 1…チャージポンプ、1 8 0 2…ループフィルタ、1 8 0 3…VC0、2 0 0 1…入力データ、2 0 0 2…データ取込みクロック (再生クロック)、2 0 0 3…UP信号、2 0 0 4…DOWN信号、2 0 0 5…クロック位相生成部。

【書類名】 図面

【図 1】

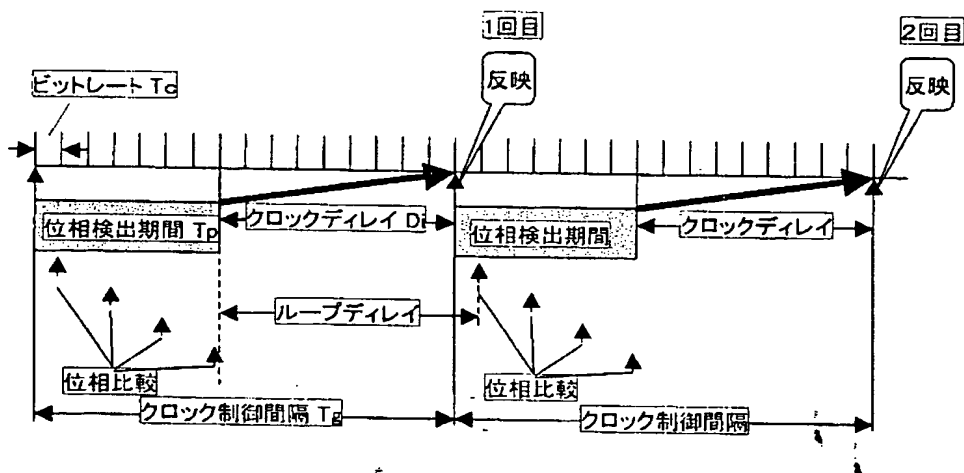
図 1



【図 2】

図2

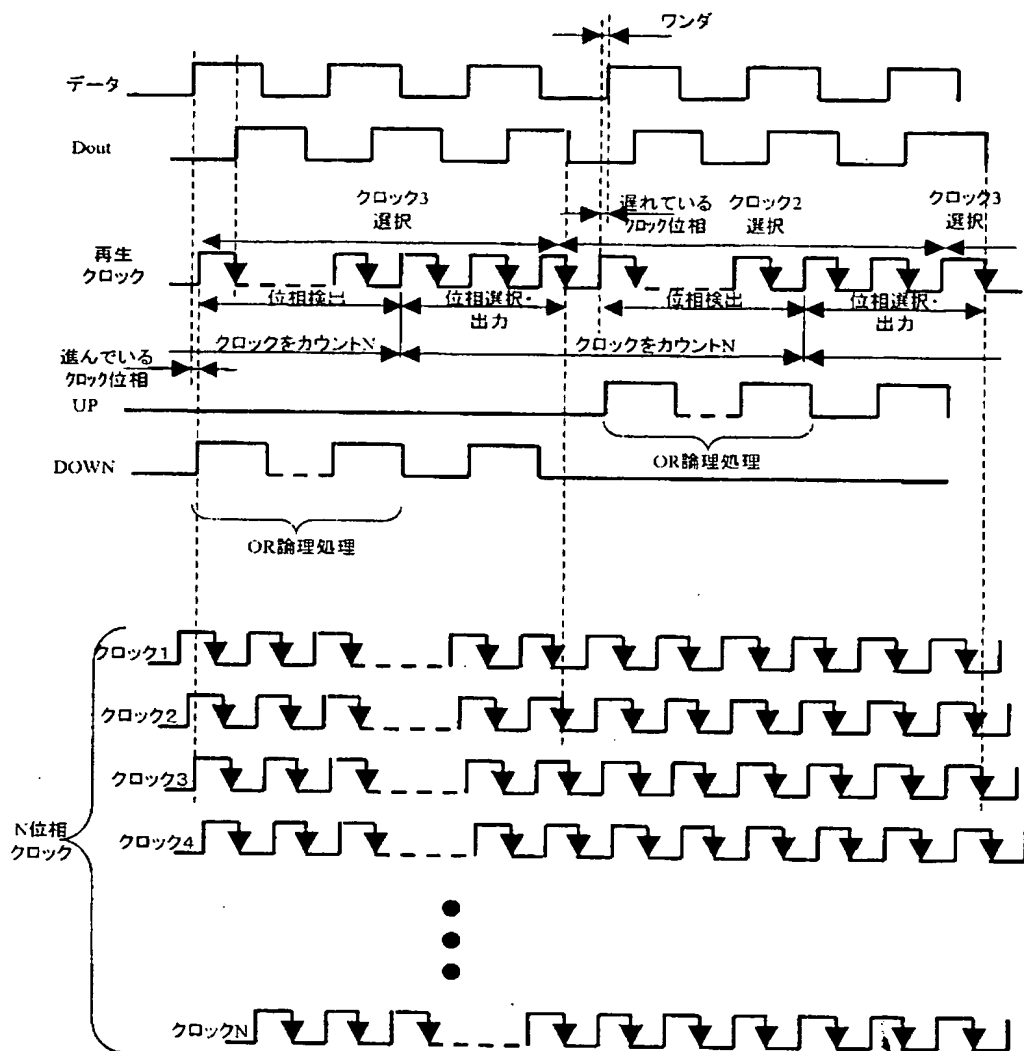
クロックディレイ	$D_i$	(UI) : クロック相選択・出力クロックのディレイ時間
位相検出期間	$T_p$	(UI) : 位相比較およびOR論理処理を行う期間
クロック制御間隔	$T_g$	(UI) : 位相検出期間 + クロックディレイ $D_i$ 、 クロック位相の切替ピッチ
ループディレイ		(UI) : クロックディレイ + 位相比較1サイクル





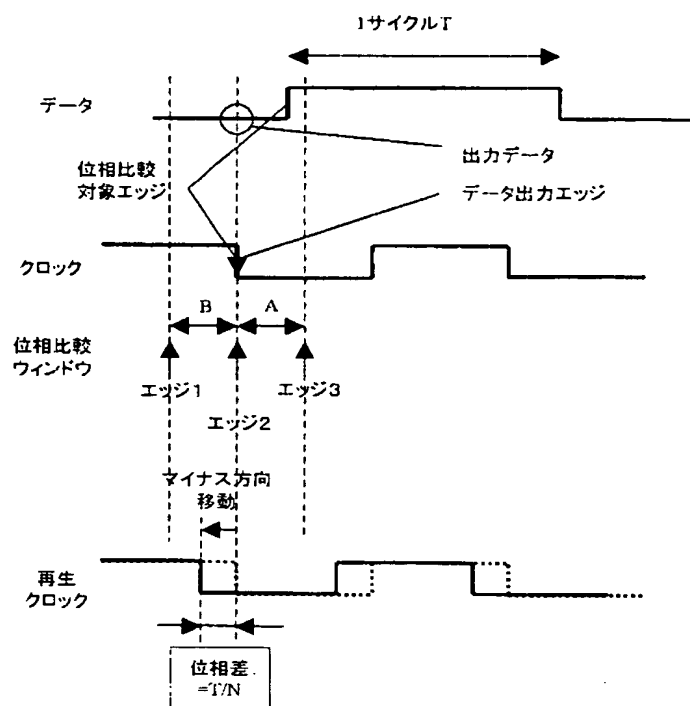
【図3】

図3



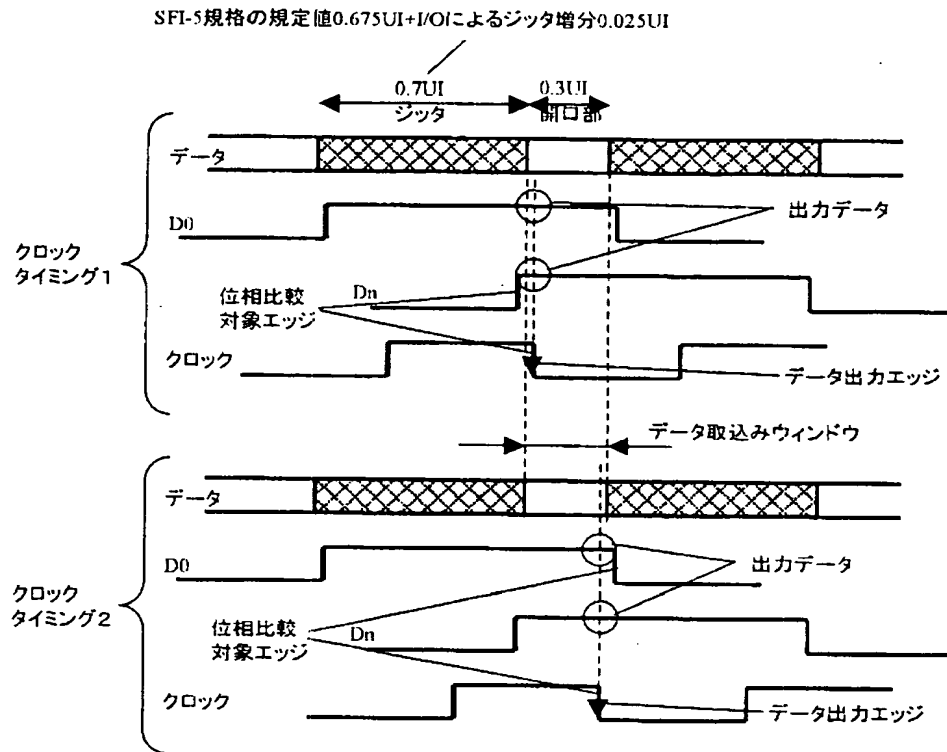
【図 4】

図4



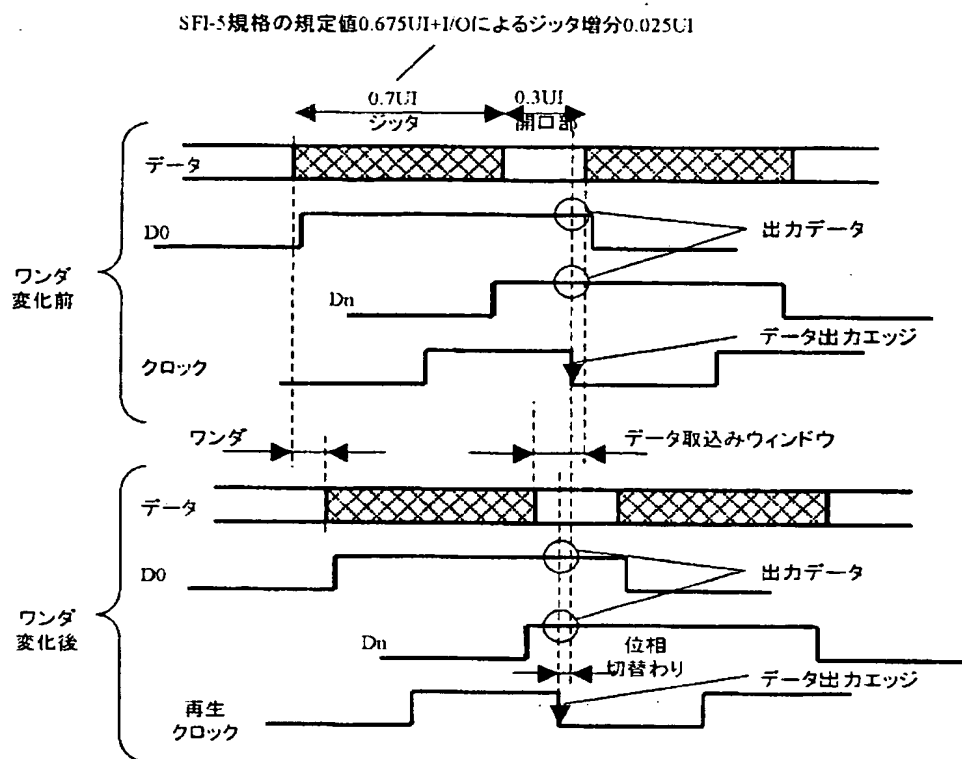
【図 5】

図5



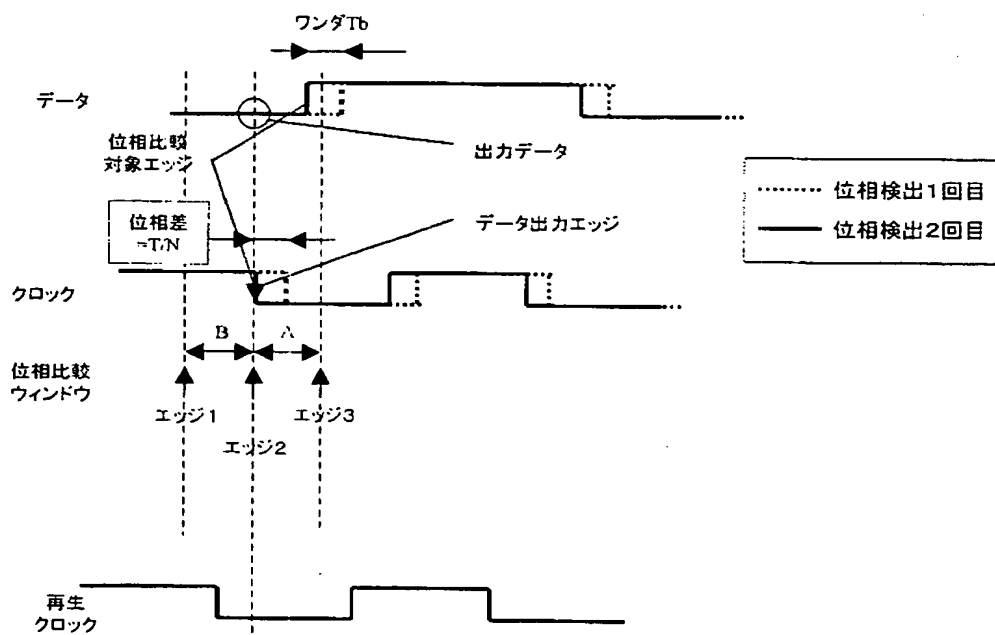
【図 6】

図6



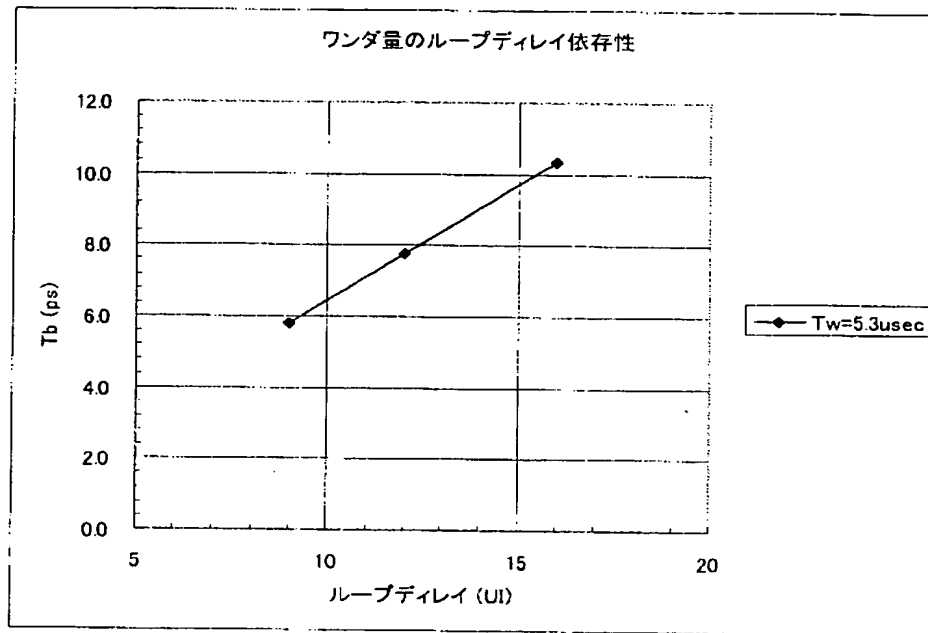
【図 7】

図7



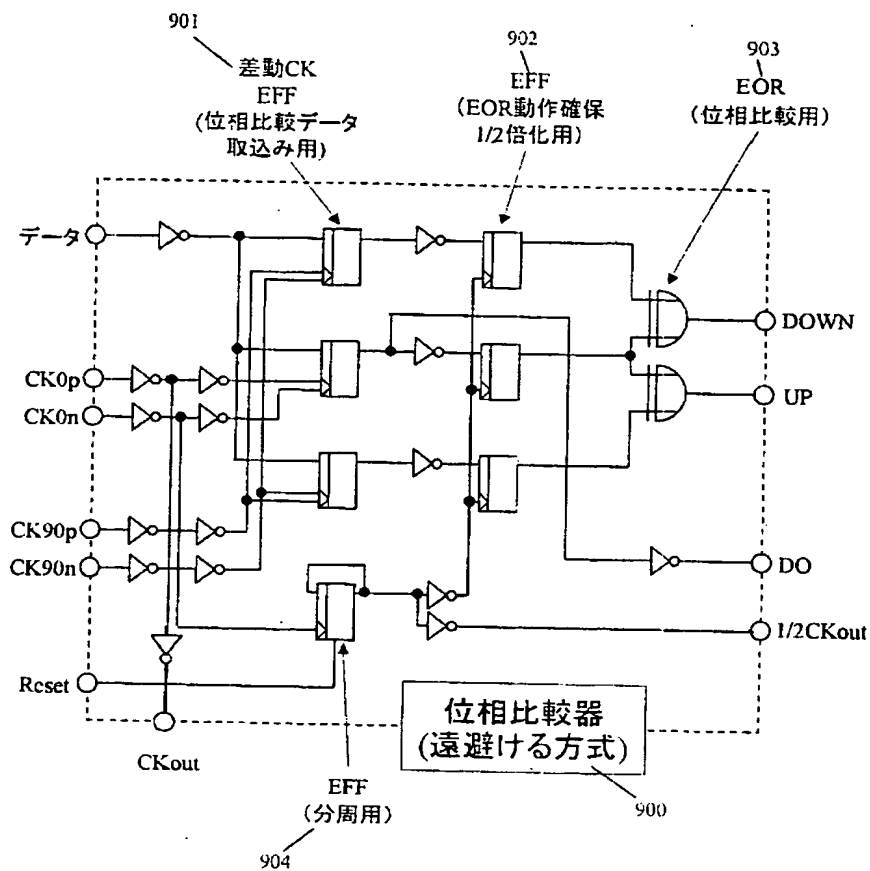
【図 8】

図8



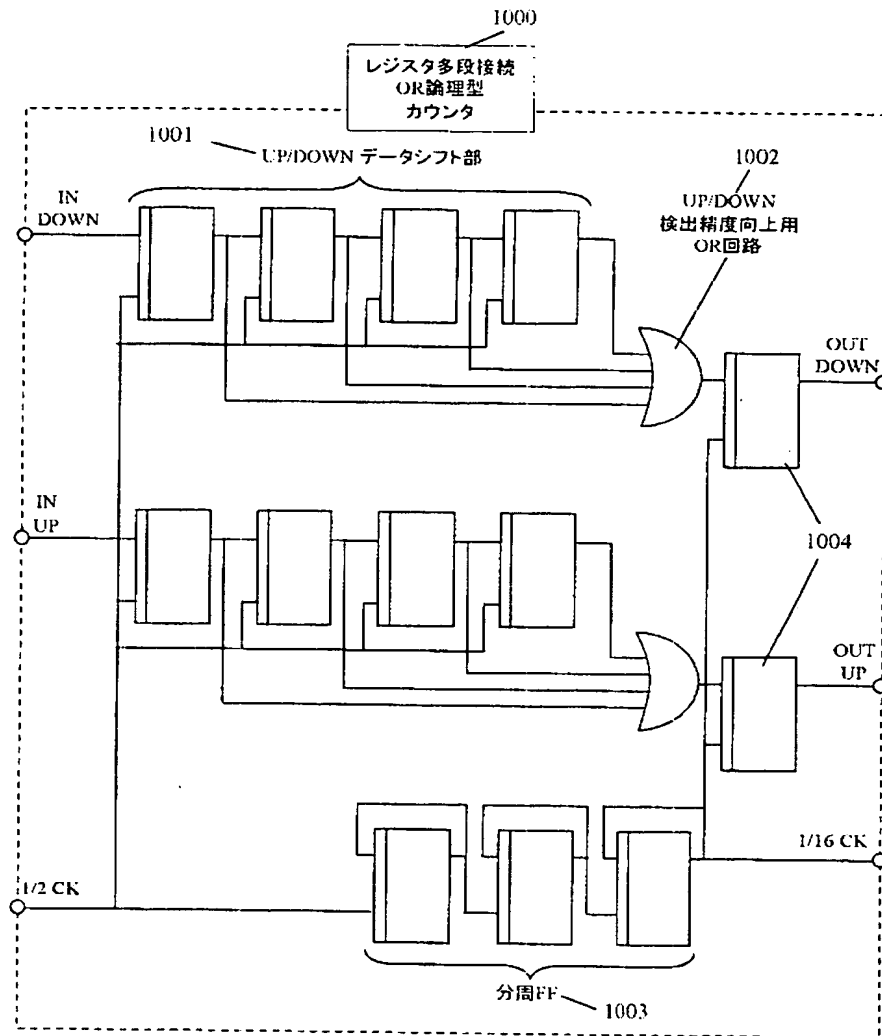
【図 9】

図9



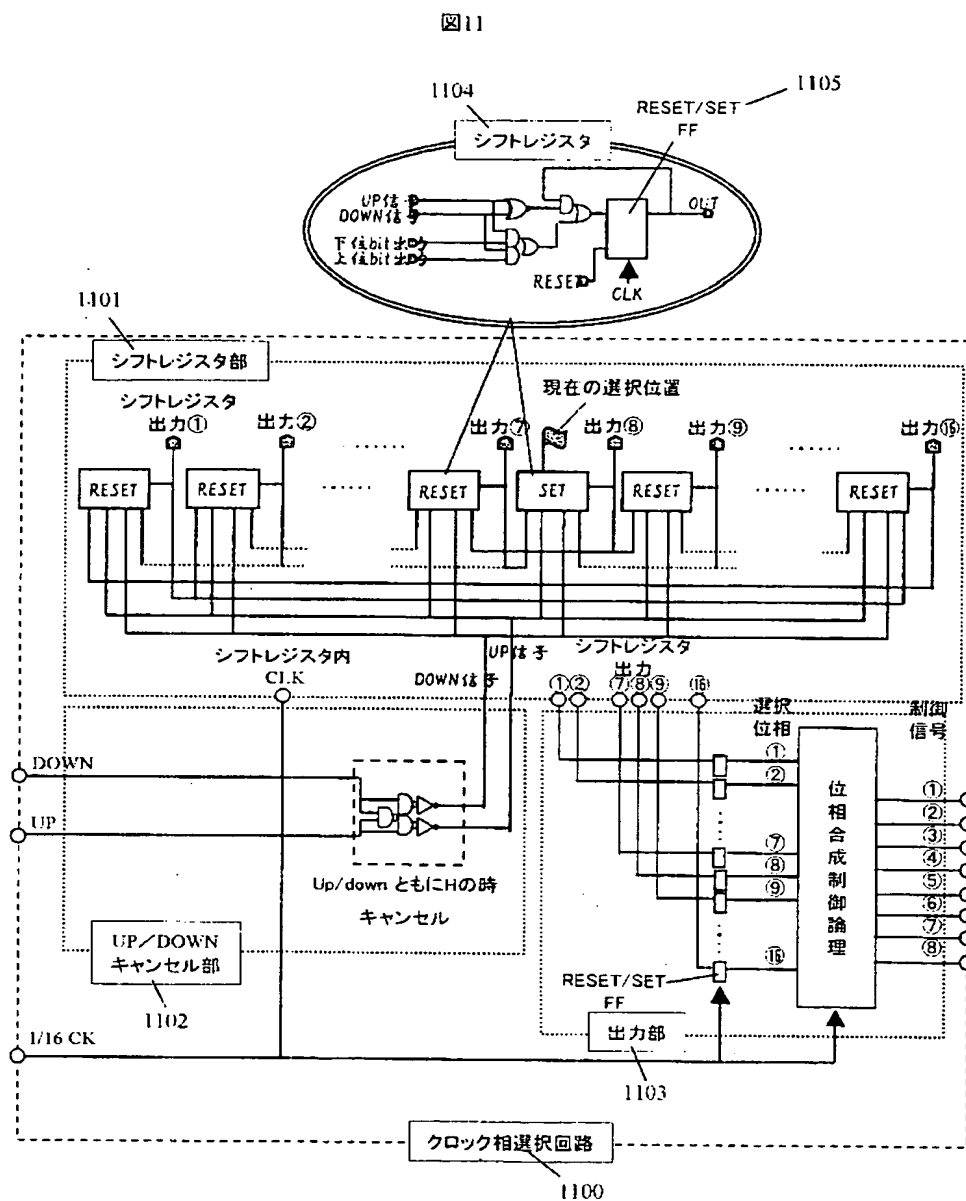
【図 10】

図10



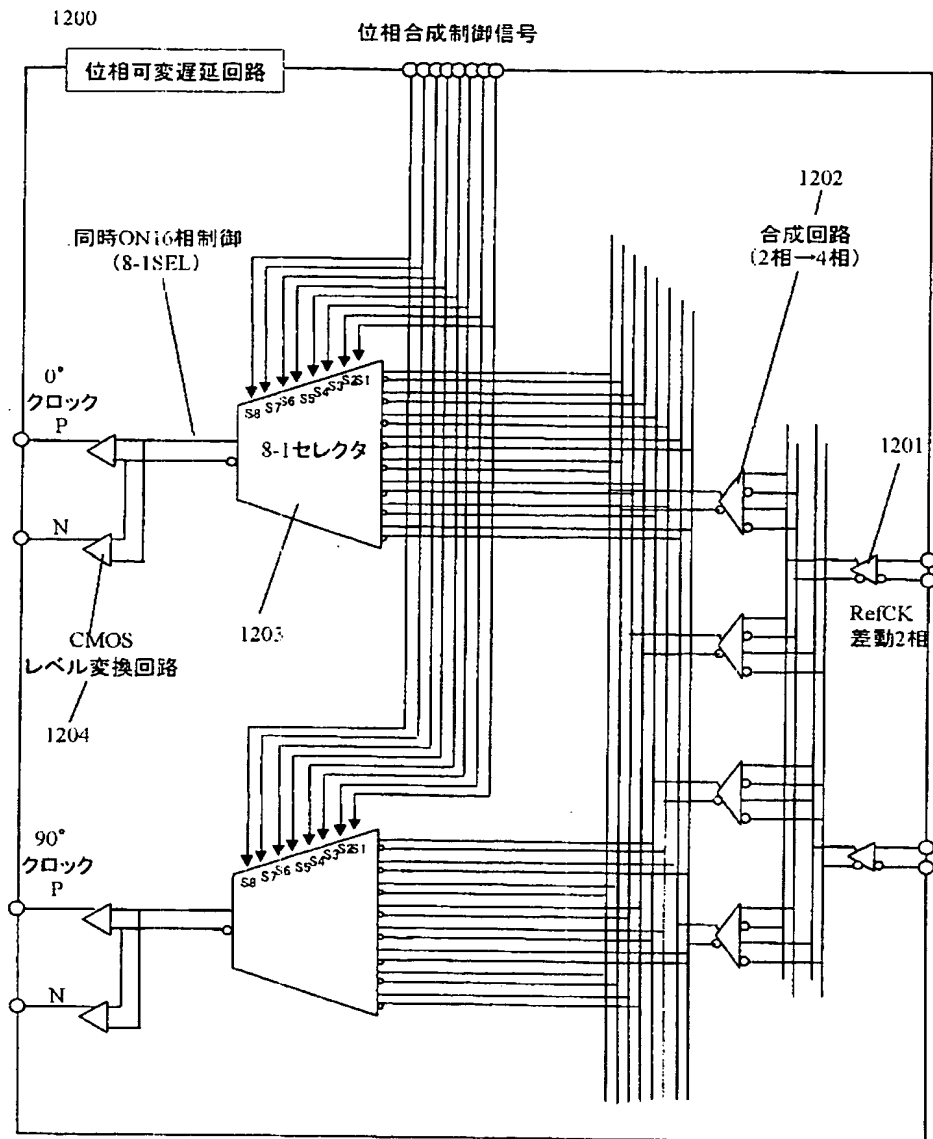


【図 11】



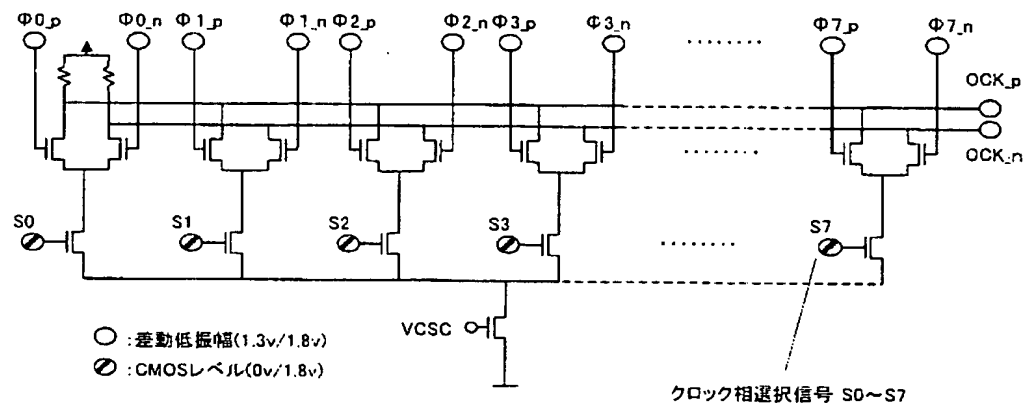
【図 12】

図12



【図 13】

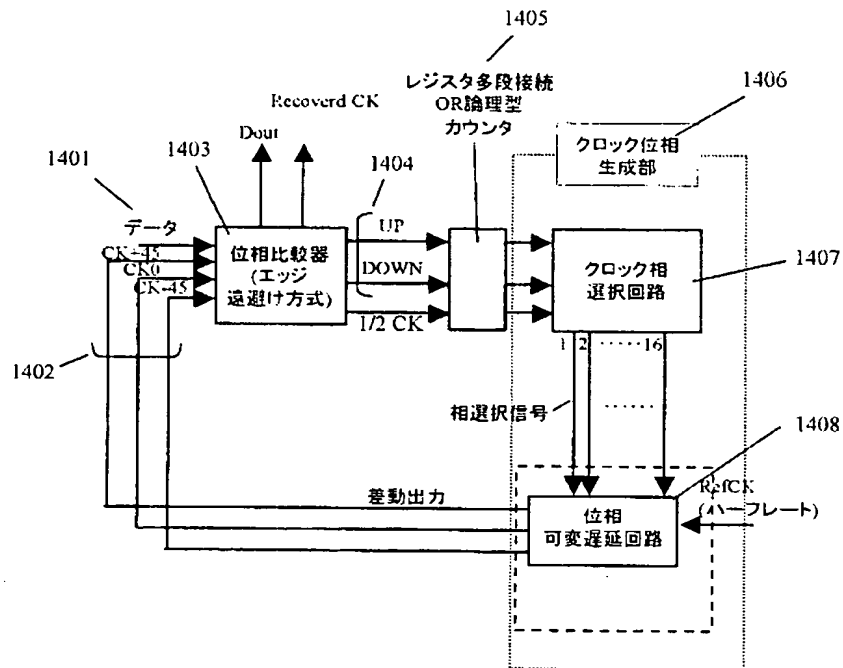
図13



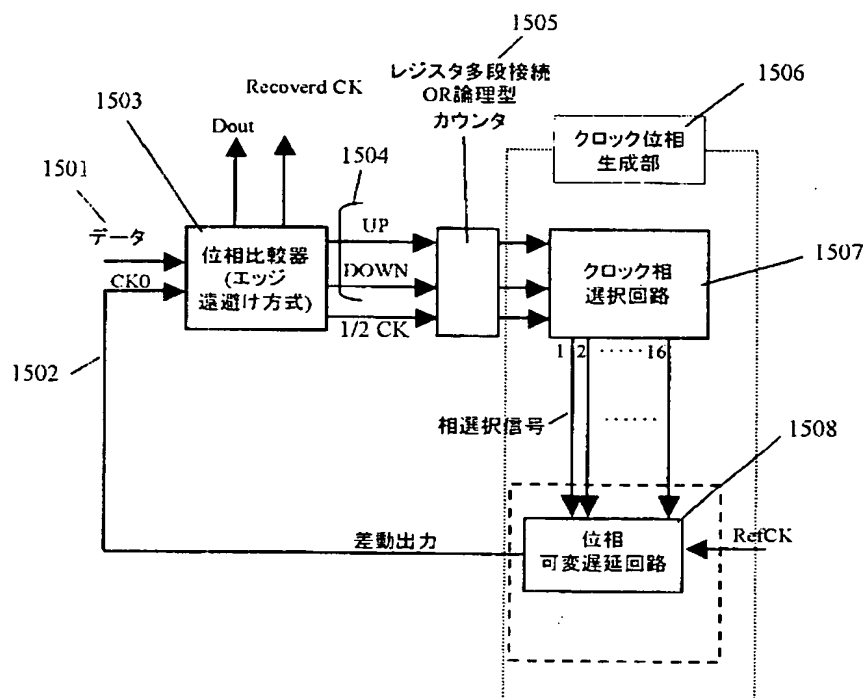
8-1セレクタ回路

【図 14】

図14

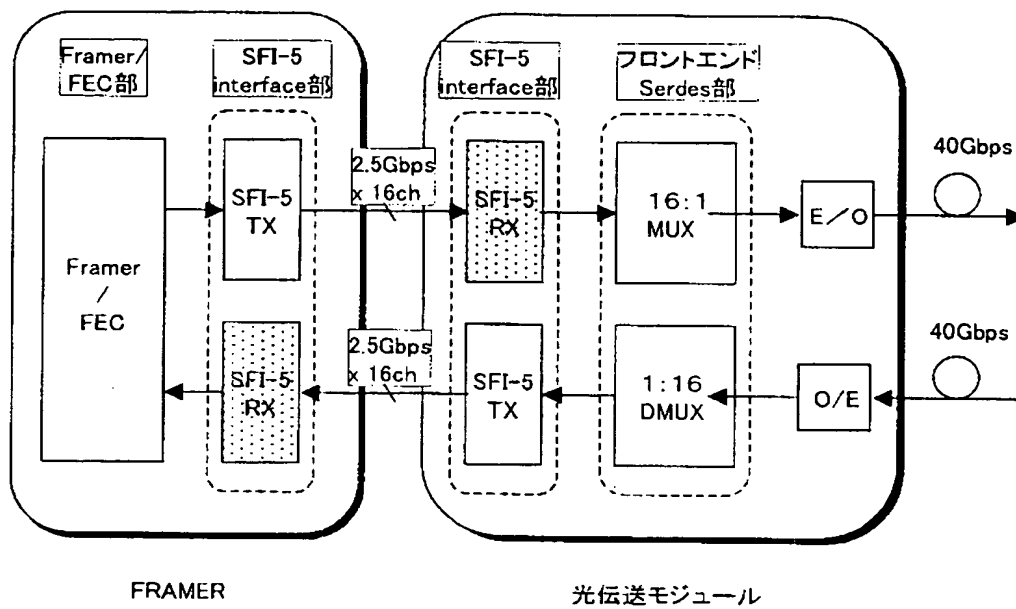


【図 15】

図15  
第4の実施の形態のクロックデータリカバリ回路構成  
(データデレイ方式)

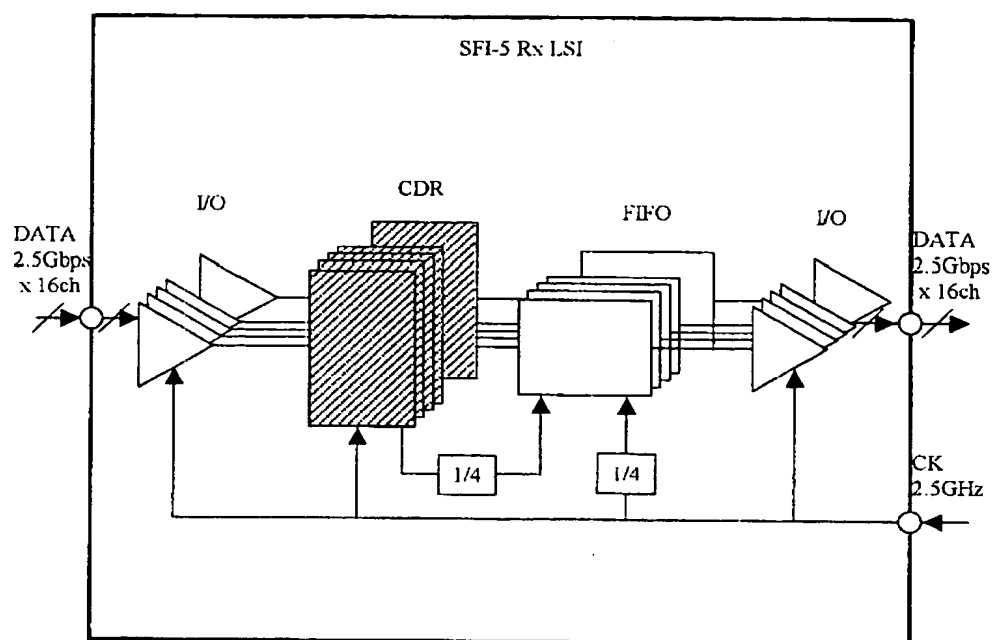
【図 16】

図16



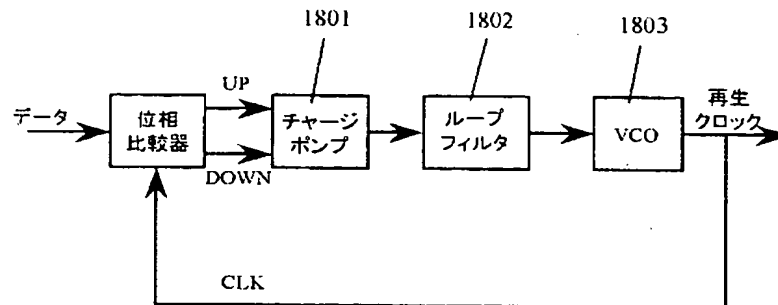
【図 17】

図17



【図18】

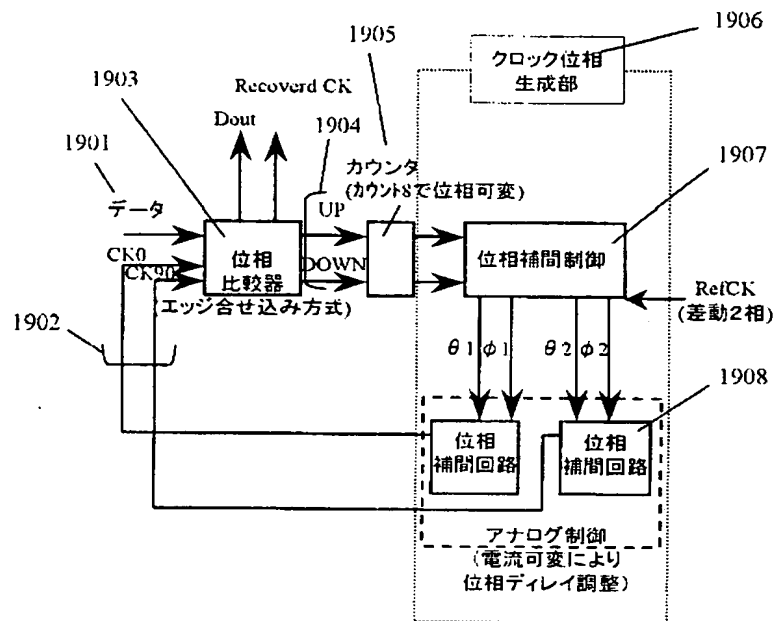
図18  
比較例のブロック構成(VCOタイプ)





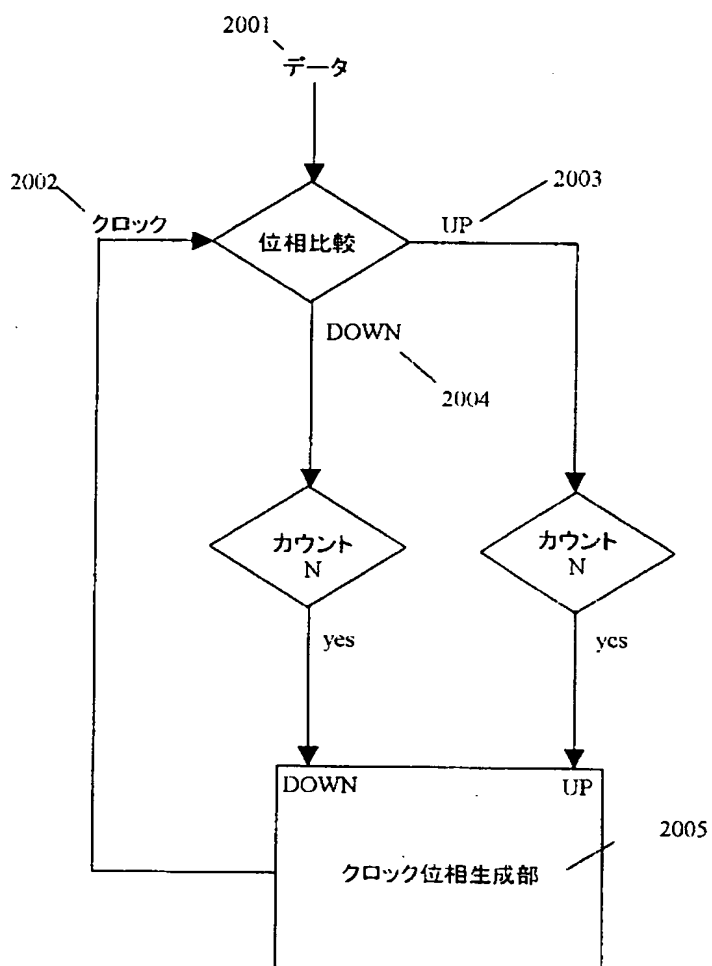
【図 19】

図 19



【図 20】

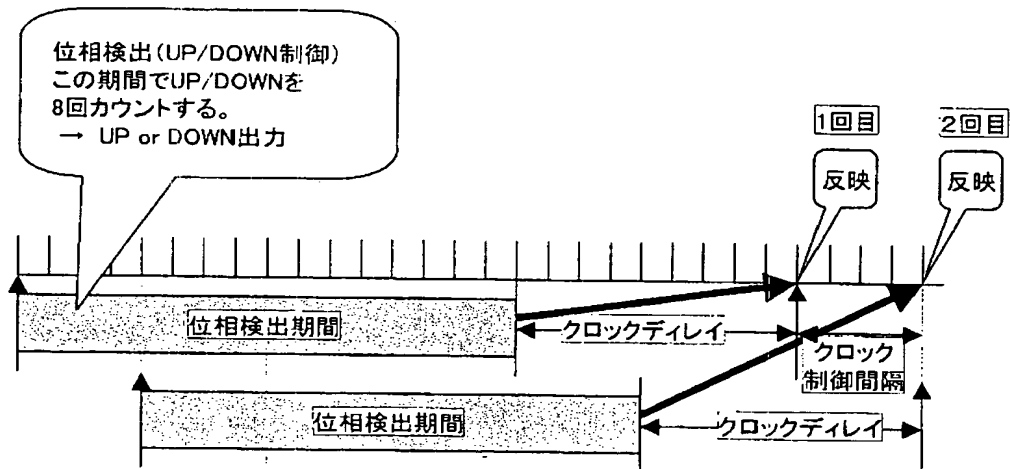
図20



【図 21】

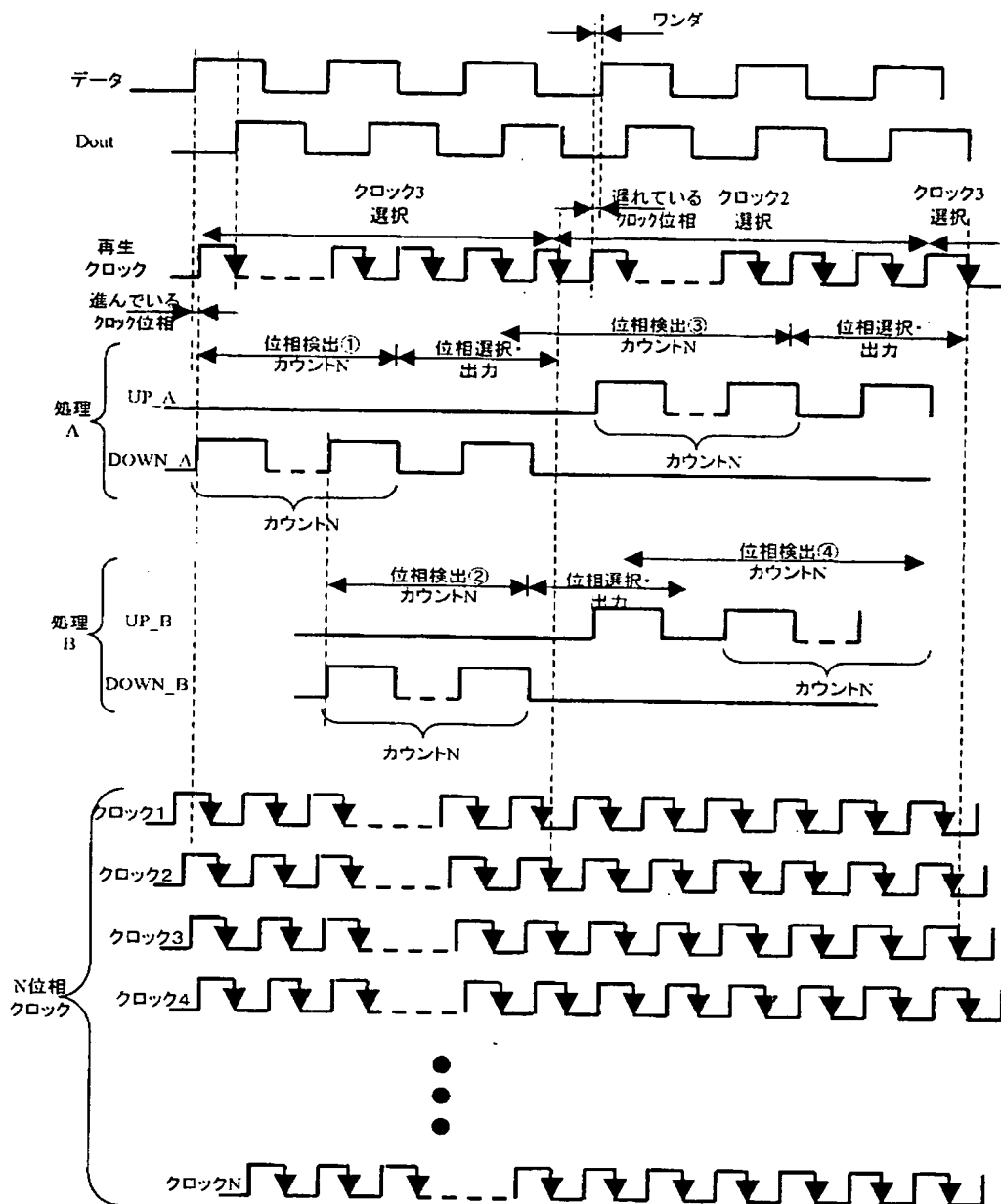
図21

クロックディレイ	$D_i$	(UI) : クロック相選択・出力クロックのディレイ時間
位相検出期間	$T_p$	(UI) : 位相比較およびUP/DOWNカウント期間
クロック制御間隔	$T_g$	(UI) : 位相検出期間 + クロックディレイ $D_i$ 、 クロック位相の切替ピッチ
ループディレイ		(UI) : クロックディレイ + 位相比較1サイクル



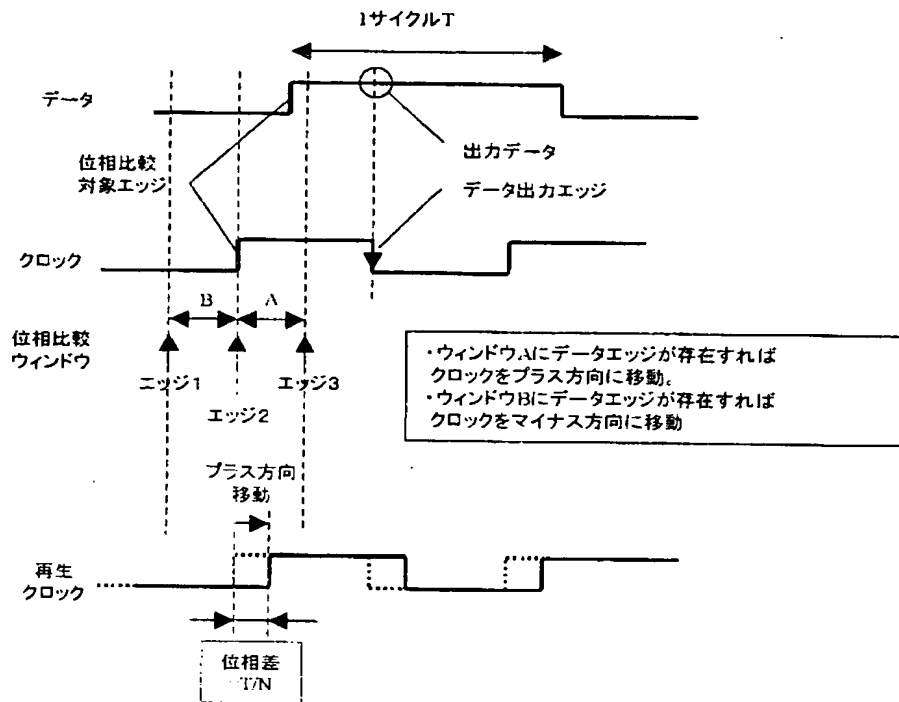
【図 2 2】

图22



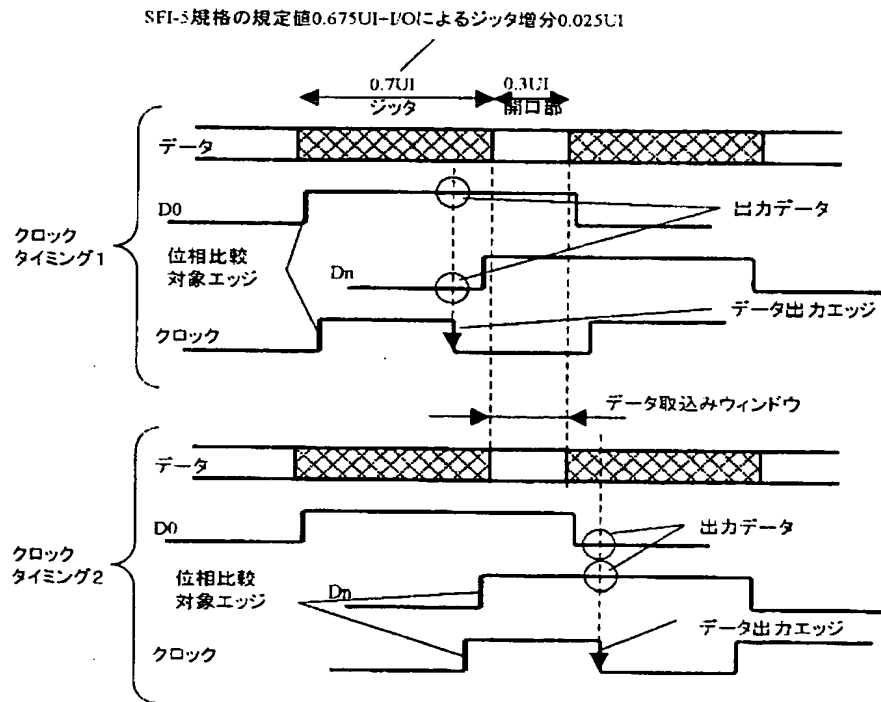
【図 23】

図23



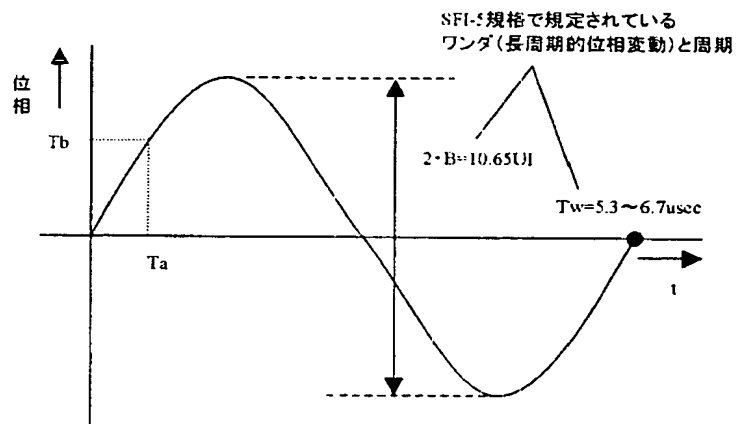
【図 24】

図 24



【図 25】

図25

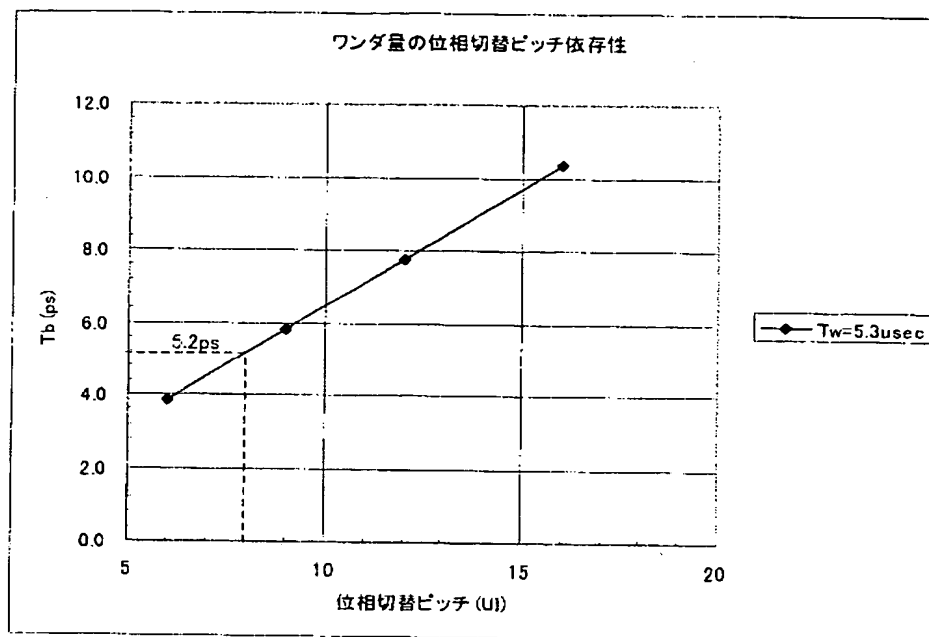


Ta: 従来 →N回カウントするまでの時間(位相検出期間)  
 本発明一位相比較結果が反映され位相比較するまでの時間(ループディレイ)

Tb: 時間Taの時のワンダ量

【図 26】

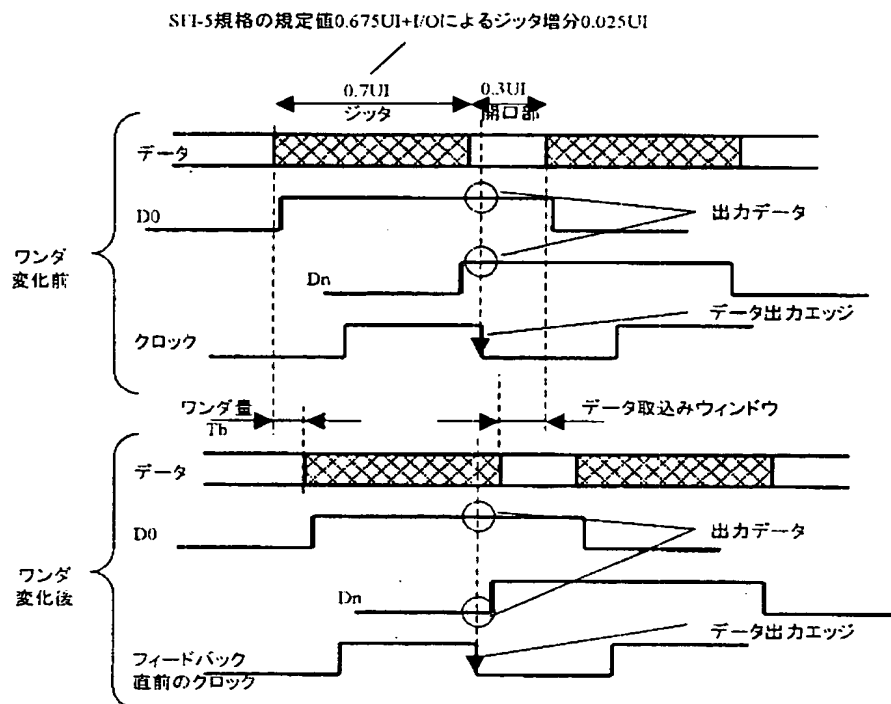
図26





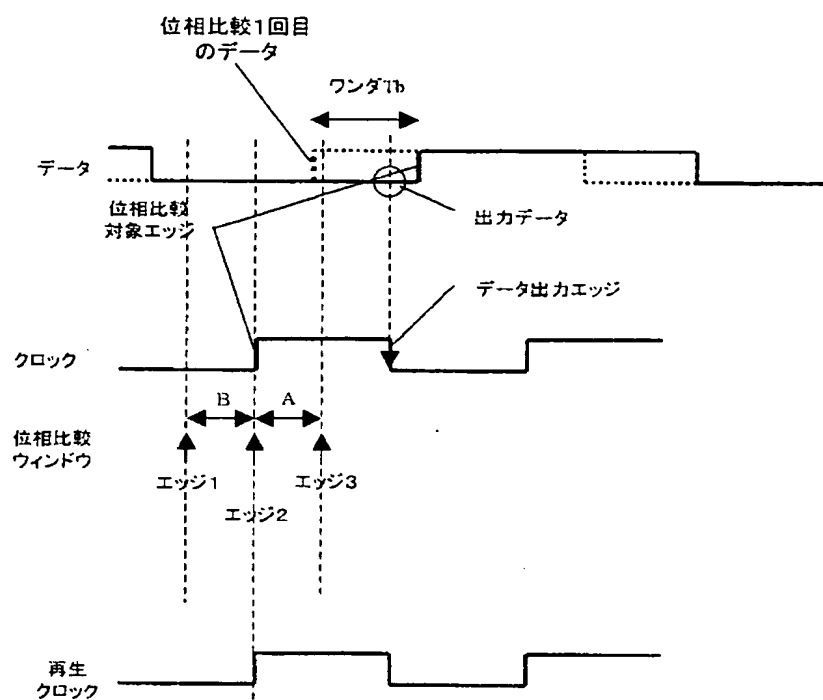
【図 27】

図 27



【図 28】

図28



【書類名】 要約書

【要約】

【課題】 本発明の課題は、（１）ジッタトレランスの拡張、（２）ワンダ発生時のデータ取込み可能範囲の拡張、（３）ワンダへの再生クロックの追従性の向上、（４）回路の低消費電力化である。

【解決手段】 データ 1 0 1 とデータ取込みクロック（再生クロック） 1 0 2 のエッジ位置を比較し、その間隔が基準値を下回ったら、クロックエッジをデータエッジから遠避ける。また、レファレンスクロック 1 0 9 から 1 サイクルを N 分割した N 位相のクロックを合成回路と 8-1 セレクタの制御信号 2 つ同時 ON 制御により生成し、その中からデータ取込みクロックを選択する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 4 6 7 6 7
受付番号	5 0 2 0 1 8 0 6 9 8 5
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 4 年 1 2 月 2 日

< 認定情報・付加情報 >

【提出日】	平成 14 年 11 月 29 日
-------	-------------------

次頁無

特願 2 0 0 2 - 3 4 6 7 6 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所